

## 位相周波数比較器製作の技術資料

平野 育\*, 萩本 憲\*\*, 柳町 暁子\*\*, 古賀 保喜\*\*

(平成20年8月4日受理)

## Technical Note for Phase Frequency Discriminator.

Iku HIRANO, Ken HAGIMOTO, Akiko YANAGIMACHI, Yasuki KOGA

## Abstract

A Phase Frequency Discriminator (PFD) has been developed for atomic frequency standards and other frequency control systems using the state of the art digital technology. The PFD has been implemented successfully in an exciter system for Sr+ microwave frequency standard.

## 1. はじめに

高度情報化の勢いは、集積回路の微細化、高速化、高機能化、低コスト化を導き、今までアナログ回路で製作していた回路がDSP (Digital Signal Processor) やFPGA (Field Programmable Gate Array) 等で置き換えられて設計されることが多くなってきている。FPGAはDSPに比べ直接ハードウェアを構成するので、高速なデジタル信号処理が可能となり、またVHDL (Very high speed integrated circuit Hardware Description Language) 等の言語によりASIC (Application Specific Integrated Circuit) 開発への道を開く。その一方で複雑な数値演算を行う場合のプログラムによる設計の柔軟性はDSPのほうが優れているが、近年FPGAにプロセッサを組み込み処理する方法も開発されてきており、この問題も解決しやすくなってきてはいる。さらに、ASIC、FPGA、PROMとAD変換器やDA変換器等の複数のチップを1パッケージにしたSiP (System in Package) の開発も可能となる。周波数制御装置のデジタル化の利点についてはすでに産総研計量標準報告の中で記した<sup>1)</sup>。また、基準光周波数が伝わる光ファイバーの長さ制御の実験では、PSD (Phase Sensitive Detector) を多bit化したPFD (Phase Frequency Discriminator) を用いることにより、可制御範囲が広がり、

コヒーレント長以上の光路差をつけた場合でも、光路長制御を行うことができ、また1波長以下の精度で光路長を安定化できる能力があることも確認されている<sup>2)</sup>。このような背景から、高速デジタル信号処理の光ファイバーの長さ制御、原子時計のエキサイターの位相周波数比較器、オフセットロックレーザシステム、光コムデジタルサーボ等への適用を目指し、PFDの開発を行った。また実際にマイクロ波のエキサイターへPFDの適用を試みたので報告する。

## 2. 位相周波数比較器

一般的に言われている位相比較器は2つのクロック信号間の位相差に応じた時間の間、電圧を出力する。信号間の位相差が一周以上ずれてしまった場合は、そのずれを検出できず、一周スリップした信号を出力する。位相周波数比較器PFD (Phase Frequency Discriminator) は、2つの信号の位相差が一周以上ずれても、そのずれを情報として蓄えるので、信号の位相検出範囲を広げることができる。位相周波数比較器を周波数制御に用いるには、位相の比較部分の他に、入力正弦波を矩形波に変換するコンパレータ部、さらに位相の違いを電圧に変換するDA変換器を加えると便利である。今回、製作したデジタルPFD装置を図1に、またボードの回路図を付録に示す。FPGAと高速DAコンバータの接続、FPGAとPCのインターフェイス、PROMとFPGAの接続、コンパレータと

\* 計測標準研究部門 時間周波数科 波長標準研究室

\*\* 計測標準研究部門 時間周波数科 時間標準研究室

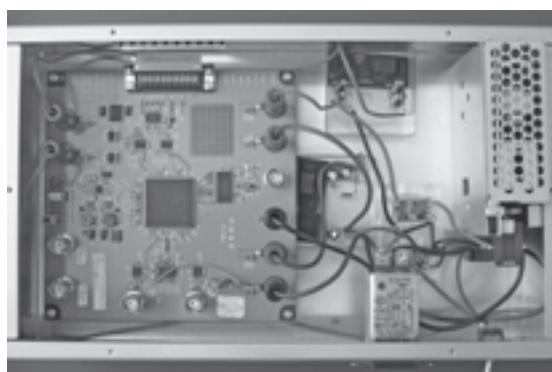


図1 PFD ボード

FPGAの接続等の回路図, VHDLによるプログラム開発は, 多くの文献と使うデバイスのインターネット検索による資料のダウンロードさらにデバイスメーカーへの問い合わせ等により設計を行った<sup>2)-19)</sup>. PFDは入力のコmpレータ TA8504Fで入力波形が差動ECL (Emitter-coupled logic) 出力となり -1.2 Vを中心に±0.4 Vの矩形波に変換される. ECLの最大の特徴は, トランジスタを飽和させずに利用するため, 状態変化が非常に高速に行える点である. 従って, ECLで構成された回路は非常に高速に動作する<sup>20)</sup>. 一般に出回っているECL回路は負の電源電圧 (-5.2V) を供給され, 論理レベルも他の論理素子とは異なる. 従って, 他のTTL (Transistor-transistor-logic) などECLを結合するには, インターフェイス回路が必要となり, このための変換素子としてMC10H125を使用した. MC10H12はON Semiconductor社のエミッタ結合ロジックでトランジスタの蓄積時間をなくし高速動作を可能にする非飽和型デジタル・ロジックである<sup>12)</sup>. TTLレベルに変換された信号はFPGAへ入力され, クロック信号として利用される. VHDLによりクロックごとにカウントするレジスタを用意してこのクロックを数えていく. コンパレータとECL-TTL変換素子を2個用意することにより2つの入力周波数のカウント数からその差を求め, FPGAに使用するクロック信号を基準としたある一定周期ごとにFPGA (XC3S400PQBF) から12 bitの平行信号として出力させて, その信号をDA変換器でアナログ信号に変換させることによりPFDを構成することができる.

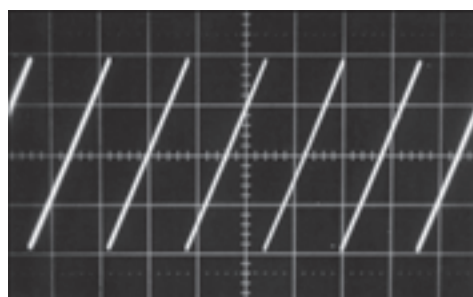
### 3. VHDLプログラム

論理回路を構成するにはロジックICを結線していく方法もあるが, IC間の配線が複雑になったり, 信号の遅れ(スキュー), サイズが大きくなるといった問題が生じる. そ

こで, 近年普及が目覚ましいFPGAに論理回路を書き込み, 演算回路を構成することにした. VHDLはハードウェアを記述する言語で, 製作したVHDLコードを論理合成ツールによって論理回路のデータを作り, それをFPGAまたはPROMに書き込みFPGA内部に論理回路を構成する. 製作したVHDLのソースコードを付録に示す. FPGAの76番pinと77番pinからそれぞれ入力された連続矩形波をclk1とclk2としてプログラムの処理にきっかけとなるようにprocess文の中にprocess(clk1)と記述する. 次にif文でclk1の値が1であれば変数Q1がある定数値ずつ増加するようにする. clk2についても同様とする. そして, 74番pinの1 MHzの水晶クロック, もしくは72番pinの外部のクロックからの信号をclk3としてprocess文の中に記述して, クロックごとにQ1とQ2の差をとり, DA変換器へ送る. そのさいQ1とQ2の差が0である時に, DA変換器の出力が0になるよう適当な数値を加えてオフセット調節をする. 制御パラメータとして, 変数Q1,Q2の増加分の調節, Q1とQ2の差の信号を出力する時間間隔の調節, 等が考えられる.

### 4. 性能試験

FPGAとしてSPARTAN3を使用した. SPARTAN3はXilinx社により民生機器などの量産品用にコストを重視して開発されたFPGAであり, 産業界では広く使われている. このため, 開発するための情報が比較的入手しやすい. SPARTAN3の72番pinから2 MHz 矩形波0-3.3 Vのクロック信号を入力して, 76番pinから14.5 MHz 77番pinには15.0 MHzの矩形波が入力した時の出力信号を図2に示す. VHDLコードのQ1,Q2の増分は1に設定する. (この時装置の入力端子に印加された正弦波の振幅は1.2Vp-pである.) 周波数差が500 kHzより12 bitのDAコンバータを使用しているので  $(1/500 \text{ kHz}) \times 4096 = 8.192 \text{ msec}$  周期の右上りの斜線がオシロの画面に表示される. 装置の入

図2 オシロスコープに表示された出力信号  
0.5 V/div 5 msec/div

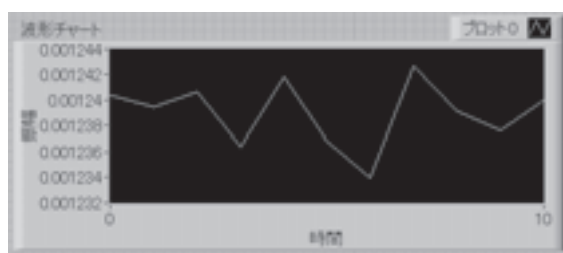


図3 PFDの出力電圧の時間変化

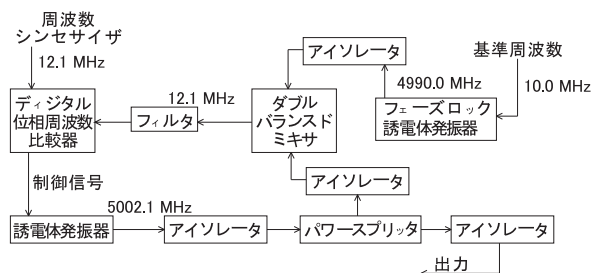


図4 PFDのマイクロ波エキサイターへの適用

力端子の入力周波数を入れ替えた時は右下がりの斜線が現れる．同期をとった2台のファンクションジェネレータHP33120, A2台から10 MHzの信号をPFDに加えた時の出力のチャートを図3に示す．10 000 000 Hzと10 000 010 Hzの信号を加えた時には出力信号が-1.0 V～0.9 Vまで変化し、410秒周期で変化する． $(1/10) \times 4096 = 409.6$ 秒 よって図4のチャートの1秒間の電圧の最大変化は9  $\mu$ Vであるので $10\text{Hz} : 1.9 / 410 = x : 9\mu\text{V} / 1\text{秒}$ より $4.3 \times 10^{-6}\text{Hz}$ の周波数の不確かさが現れることになる．よって確度は $4.3 \times 10^{-13}$ となる．しかし、電圧計の表示値は入力がない状態で1秒間に2～20  $\mu$ V程度変動しているので、装置の確度は上記算出値を上回るものと考えられる．

### 5. エキサイターへの適用

マイクロ波を利用する原子周波数標準器は、原子の基底状態の超微細構造間のマイクロ波の周波数を利用する．エキサイターは、まず10 MHz等の水晶発振器の周波数を基準にして、その周波数を数百倍から千倍程度逡倍した逡倍マイクロ波周波数を作る．この周波数だけだと基準とする超微細構造間のマイクロ波の周波数に正確には合致しないので、さらにこの10 MHz等を基準としてシンセサイザーにより十数MHzの周波数を発生させ、逡倍マイクロ波周波数に加えることにより、超微細構造間のマイクロ波の周波数を作る装置である．シンセサイザーの周波数を数10 mHz変化させることにより、原子と相互作用するマイクロ波の周波数も数10 mHz変化し、それにより、

原子とマイクロ波の相互作用から検出している信号強度がわずかに変化する．この変化をサーボ機構により10 MHz等の水晶発振器へ帰還することにより、マイクロ波原子周波数標準はつくられる<sup>21)</sup>．図4にPFD（デジタル位相周波数比較器）をマイクロ波エキサイターへ適用した例を示す．このマイクロ波エキサイターは、Sr<sup>+</sup>イオントラップを利用するマイクロ波周波数標準構築のために製作したものである．基準周波数の10 MHzはフェーズロック誘電体発振器(PLO)で499逡倍され4990 MHzとなる．一方、誘電体発振器DRO (Dielectric Resonant Oscillator) は5002 MHz近傍で発振するように設定する．この周波数と4990 MHzの周波数はダブルバランスドミキサに入力され、その差の12 MHzがデジタル位相周波数比較器へ入力される．一方、周波数シンセサイザーからは12 MHz近傍の周波数が同じくデジタル位相周波数比較器へ入力される．これら2つの周波数の差に相当した信号が蓄積されデジタル位相周波数比較器から出力され、制御信号として誘電体発振器へ入力される．周波数シンセサイザーの周波数を12.1 MHzに設定するとDROの出力周波数は5002.1 MHzとなり、ダブルバランスドミキサからの出力信号も12.1 MHzとなる．PFDからの出力信号をDROへ印加する電子回路を付録に示す．

エキサイターの1秒平均の周波数安定度は、カウンターで直接5002 MHzの周波数を計測すると図5に示すように1秒平均で $4 \times 10^{-12}$ 値を得た．この値は、同じくカウンターで直接計測したPLO単体の周波数安定度とほぼ同じであったことから、カウンターの測定限界であり、またシンセサイザーの外部基準信号10 MHzもカウンターの基準信号10 MHzを使用しているため、今後PLOとDROのビートダウンによる精密計測と精密な外部基準信号を使用することにより、PFDの性能の追求を行っていきたい．

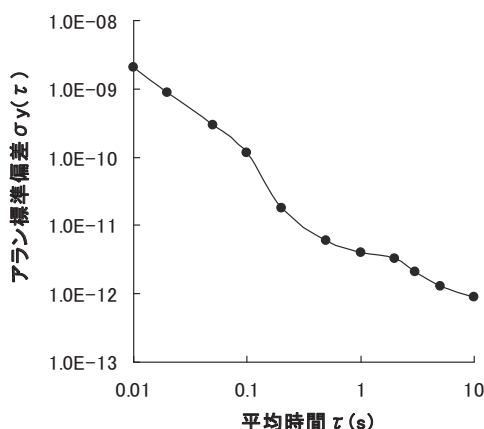


図5 エキサイターの周波数安定度

## 6. むすび

高速デジタル信号処理のためのPFDの開発を行った。また実際にマイクロ波のエキサイターへの適用を試みた。現在、測定装置の制限からPFDの周波数安定度の限界値とエキサイターの周波数安定度の限界値を算出できないが、今後、PLOとDROのビートダウンによる精密計測と精密な外部基準信号を使用することにより、PFDの性能の追求を行っていきたい。

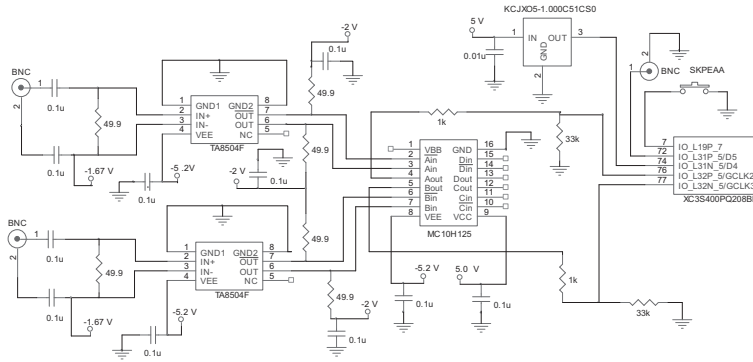
## 7. 謝辞

本研究を進めるにあたり、電気通信大学（現JAXA）の佐藤洋平氏には電子回路のコンパレータ部分とPLDのVHDLプログラムについて貴重な知識を教えてくださいました。計測標準研究部門の大苗敦博士（前波長標準研究室長）にはPFDの開発についての紹介を頂きました。計測標準研究部門の今江理人時間周波数科長には、本報告書をまとめるにあたり、多大なるご指導を賜りました。ここに厚くお礼申し上げます。

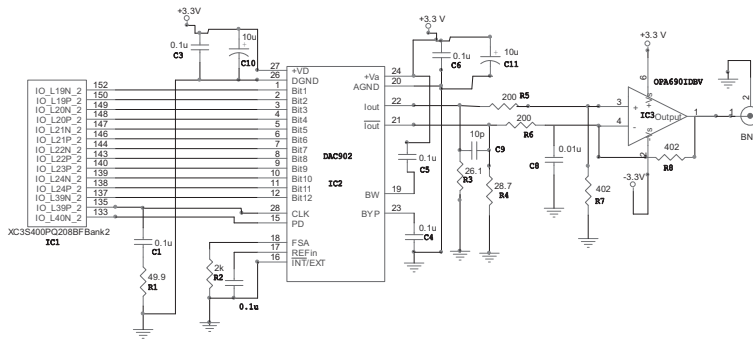
## 参考文献

- 1) 平野 育, 石川 純:「デジタル信号処理技術によるヨウ素安定化He-Ne レーザの周波数制御」, 産総研計量標準報告, 6, 3, pp. 141-144 (2007-9)
- 2) 佐藤洋平:「光ファイバーを用いたミリ波基準信号配信システムの開発」, 電気通信大学修士論文 (2007-3)
- 3) 田中良平:「高速アナログ出力回路」, デザインウェーブマガジン, AUG. 2005. pp. 50-51
- 4) 「FPGAトレーニングキットTD-BD-TS101」, 東京エレクトロニクス株式会社, 2005
- 5) <http://direct.xilinx.com/bvdocs/userguides/ug332.pdf>
- 6) [http://toolbox.xilinx.com/docsan/2\\_1i/data/common/jtg/fig26.htm](http://toolbox.xilinx.com/docsan/2_1i/data/common/jtg/fig26.htm)
- 7) [http://www.xilinx.com/support/sw\\_manuals/2\\_1i/download/jtag.pdf](http://www.xilinx.com/support/sw_manuals/2_1i/download/jtag.pdf)
- 8) [http://direct.xilinx.com/bvdocs/publications/j\\_ds099.pdf](http://direct.xilinx.com/bvdocs/publications/j_ds099.pdf)
- 9) 「TD-BD-TS101 初級編テキスト」, 東京エレクトロニクス株式会社, 2004
- 10) <http://japan.xilinx.com/support/clearexpress/websupport.htm>
- 11) <http://www.tij.co.jp/jsc/docs/pic/pichome.htm>
- 12) <http://www.onsemi.com/pub/Collateral/MC10H125-D.PDF>
- 13) <http://focus.tij.co.jp/jp/docs/prod/folders/print/dac902.html>
- 14) <http://www.ortodoxism.ro/datasheets/toshiba/4106.pdf>
- 15) [http://direct.xilinx.com/bvdocs/publications/j\\_ds123.pdf](http://direct.xilinx.com/bvdocs/publications/j_ds123.pdf)
- 16) [http://japan.xilinx.com/support/documentation/data\\_sheets/j\\_ds123.pdf](http://japan.xilinx.com/support/documentation/data_sheets/j_ds123.pdf)
- 17) <http://focus.tij.co.jp/jp/lit/ds/symlink/opa690.pdf>
- 18) <http://japan.xilinx.com/support/answers/3418.htm>
- 19) <http://japan.xilinx.com/support/programr/files/0380507.pdf>
- 20) <http://ja.wikipedia.org/wiki/%E3%82%A8%E3%83%9F%E3%83%83%E3%82%BF%E7%B5%90%E5%90%88%E8%AB%96%E7%90%86>
- 21) Y. Koga, C. McNeilage, J. H. Searls, S. Ohshima,: “A Microwave Exciter for Cs Frequency Standards Based on a Sapphire-Loaded Cavity,” IEEE Trans. Ultrasonics, Ferroelectrics, Frequency Control., vol.48, no. 1, pp.1-5, Jan, 2001.
- 22) [http://japan.xilinx.com/direct/ise7\\_tutorials/j\\_ise7tut.pdf](http://japan.xilinx.com/direct/ise7_tutorials/j_ise7tut.pdf)

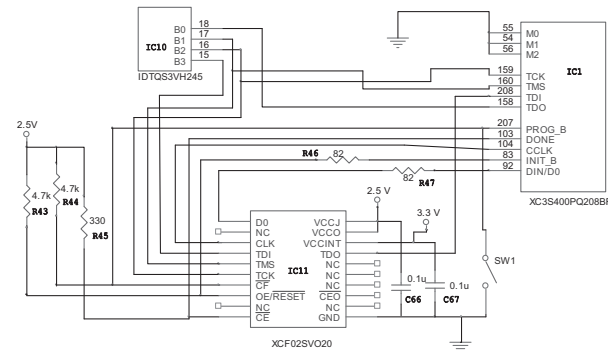
付録



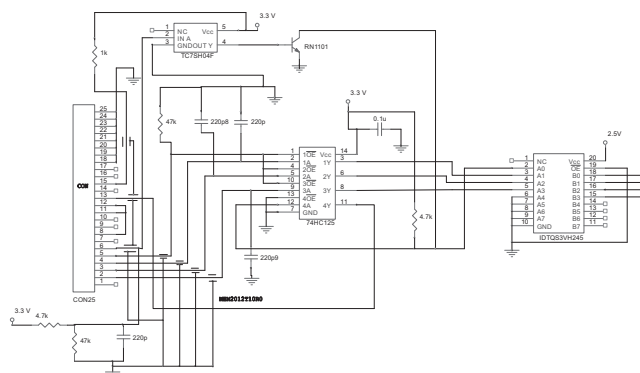
周波数入力部とクロック入力部。入力のコンパレータ TA8504F で入力波形が差動 ECL (Emitter-coupled logic)出力となり -1.2V を中心に±0.4V の矩形波に変換される。ECLから TTL のための変換素子として MC10H125 を使用した。TTL レベルに変換された信号は FPGA へ入力され、クロック信号として利用される。FPGA は 74 番 pin から 1MHz のクロックを取り入れて DA コンバータにクロックを送るが、72 番 pin から外部のクロックでも動作する基板構造とした。



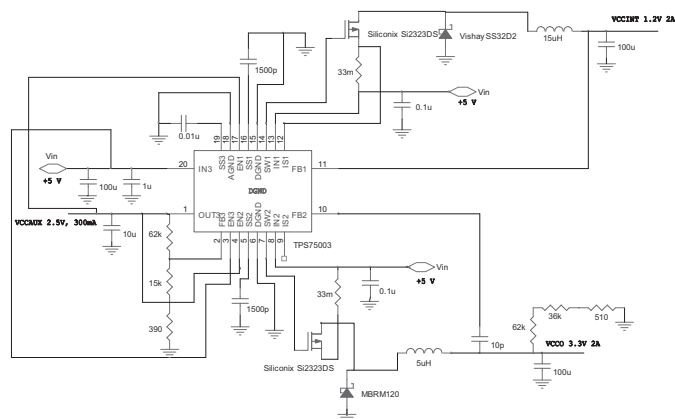
DA 変換部。使用した DAC902 は 12 bit 165Msps の高速 DA コンバータである。高速のスイッチングと変換を実現するため電流制御を用いており、22 番 pin と 21 番 pin から差動の電流信号が出力される。FPGA から出力された信号を Code とすると 22 番 pin から  $19.84 \times (\text{Code}/4096)$  mA、21 番 pin からは  $19.84 \times ((4095 - \text{Code})/4096)$  mA の電流が出力される。この差動信号を負荷抵抗により電圧に変換してユニティ・ゲイン安定の電圧帰還アンプ OPA690 により電圧信号として取り出す。





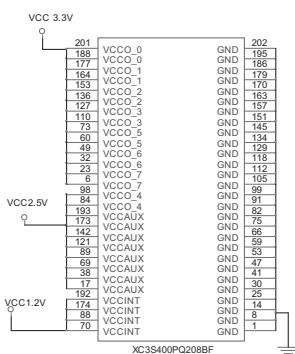


PC と FPGA のインターフェイス部 PC から FPGA のアクセスは回路の素子を数珠繋ぎにして内部状態を順番に読み出す JTAG (ジェイタグ Joint Test Action Group) 方式を使用した。Xilinx 社の ISE という開発ツール<sup>22)</sup>を使用して、VHDL コードの製作、FPGA の pin 配置の設定、バイナリ形式の bit ファイルの製作を行った。さらに iMPACT を使用して PROM を BYPASS の設定にしてパラレル III ケーブルを通して bit ファイルを FPGA へ送った。JTAG のポートは FPGA のモード設定のための 55 番 pinM0,54 番 pinM1,56 番 pinM2 の設定にかかわらず常に利用することができる。コネクタ CON の 6 番 PROG が High の時 TC7SH04F の出力は Low になり RN1101 は動作せず、ITDQS3VH245 の 2 番 pin の A0 から出てきた TDO は 74HC125 を通り PC 戻る。74HC125 を動作させるためには、CON の 5 番 pin から出力される CTRL 信号を Low にする。これらの信号の動きは PC から iMPACT というソフトにより処理される。さらに可搬性の向上を目指し基板上の PROM(XCF02SVO20)にファイルを送り、PC からの接続を切り離して、基板だけでも動作するように設計をおこなった。PC から JTAG を通してファイルを PROM に送るのに FPGA の BYPASS Register を動作させることにより、PC から FPGA をバイパスさせて PROM に msc というファイル送ることができる。FPGA の M0,M1,M2 を接地することにより、FPGA は 104 番 pin の CCLK ピンを駆動し、これにより PROM が 3 番 pin の CLK により駆動される。タクトスイッチ SW1 を押すと FPGA の 207 番 pin の PROG\_B が Low になり、FPGA のメモリが消去される。また、103 番 pin の DONE が Low になり PROM の CE が Low になる。FPGA のメモリの消去が完了すると 83 番 pin の INIT\_B が High になりこれにより PROM の 8 番 pin OE/RESET が High になる。スイッチの接点が離れ PROG\_B が High になると PROM の 7 番 pin の CF も High になり、PROM の設定データが PROM の 1 番 pin D0 から出力され FPGA の 92 番 pin DIN/D0 に書き込まれる。

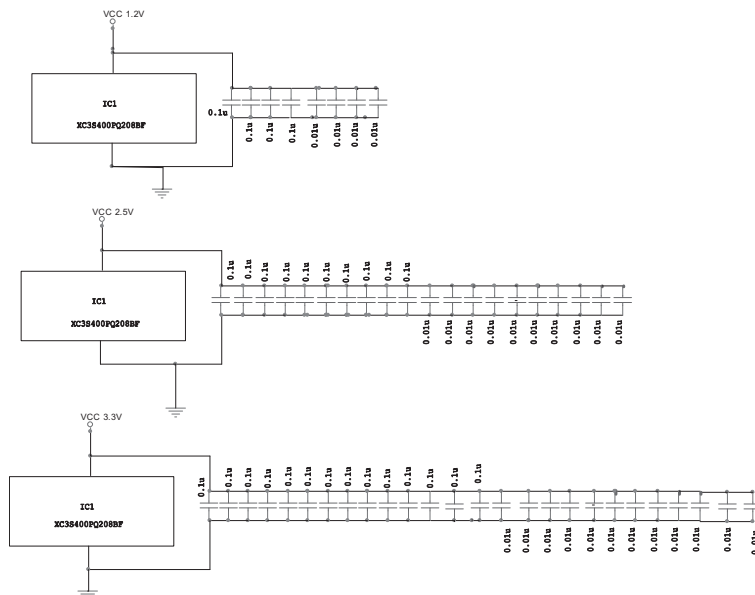


FPGA への電源供給回路

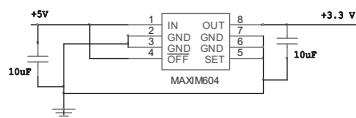
位相周波数比較器製作の技術資料



FPGA への電源供給結線図

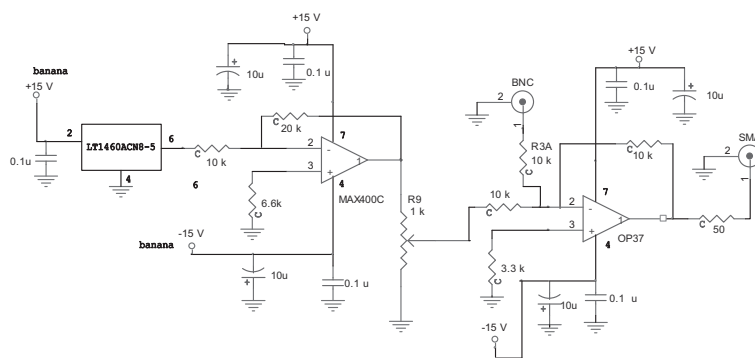


瞬間的な電圧低下防止のためバイパスコンデンサを取り付ける。



DA 変換器への電源供給回路

## 付録



PF Dからの出力をDROへ印加する電子回路

### 付録 VHDL コード

#### VHDL で使用する信号についての説明

clk1 入力データ

clk2 入力データ

clk3 BANK5に接続する。daclk3 に伝わり DA 変換器を駆動するクロックとなる。

daout Q1 と Q2 の和の出力として DA 変換器へ出力される。

pd BANK2 に接続されている DA 変換器 DAC902 を動作させる信号

reset SPARTAN XC3S400PQ208 をリセットさせる信号

Q1 clk1 の山の数を数える変数

Q2 clk2 の山の数を数える変数

entity と Port の部分で外部とのインターフェイスを記述する。

in std\_logic 1本の入力信号線 out std\_logic 1本の出力信号線

out std\_logic\_vector(11 downto 0) 12本の出力信号線の束

#### VHDL コード

```

library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

entity PFD02 is
  Port ( clk1 : in std_logic;
         clk2 : in std_logic;
         clk3 : in std_logic;
         reset : in std_logic;
         daout : out std_logic_vector(11 downto 0);
         daclk : out std_logic;
         pd : out std_logic);
end PFD02;

architecture RTL of PFD02 is
  signal Q1 : std_logic_vector(11 downto 0) := "000000000000";
  signal Q2 : std_logic_vector(11 downto 0) := "000000000000";

```



```
signal da : std_logic_vector(11 downto 0) := "000000000000";  
begin  
  
    process (clk1)  
    begin  
        if (clk1'event and clk1='1') then  
            Q1<=Q1+" 000000100000" ;  
        end if;  
    end process;  
  
    process (clk2)  
    begin  
        if (clk2'event and clk2='1') then  
            Q2<=Q2+" 000000100000" ;  
        end if;  
    end process;  
  
    process (clk3)  
    begin  
        if (clk3'event and clk3='1') then  
            da<=Q1-Q2;  
            daout<=da+"100001101100";  
        end if;  
    end process;  
  
    daclk <= not clk3;  
    pd<='0';  
end RTL;
```