

# 我が国の半導体産業戦略と産総研の取り組み

国立研究開発法人産業技術総合研究所

上級執行役員 TIA推進センター長  
金丸正剛

# 次世代コンピューティング基盤のイメージ



- Compute
- Connect
- Collect
- Customize

実世界が生成する多種・多様・大容量のデータを、エッジからクラウドまでダイナミックに結合する超分散コンピューティングにより、遅延なく処理して実世界へフィードバック

# 大規模データの利用拡大と半導体微細化の限界

**社会ニーズ** データ生成・蓄積は10年で10倍以上の急増、エネルギー制約の懸念  
データ利活用がビジネスや公共サービスの成功の鍵

情報処理への要求の質的变化  
(実行不可と考えられていた計算、  
「大体正しい」を素早く)

さらに高性能で低消費電力な  
IT機器の要求

多様な機器やサービスを  
短期間で実用化する要求

新原理・新アーキテクチャ  
(量子計算、脳型)

集積化の更なる追求  
(極限微細化、三次元化)

多様なニーズへ  
柔軟・迅速に対応する  
設計・製造

統合イノベーション戦略推進会議  
「量子技術イノベーション戦略」

経済産業省 「半導体・デジタル産業戦略」

産総研 「次世代コンピューティング基盤戦略」 (策定中)

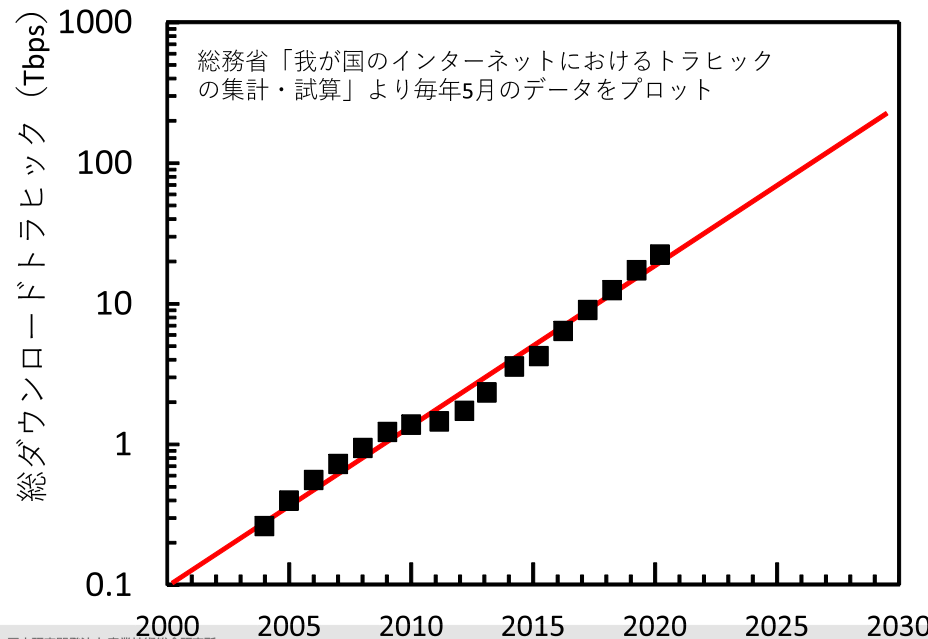
微細化が遅延する中で  
情報処理能力向上を実現

様々な技術オプションをテストし  
最適解を選択

## 技術的背景

- 半導体微細化の物理限界が近い(サイズ、ばらつき)
- 最先端デバイス開発・製造のための投資が巨額

# インターネットトラフィックは10年で10倍以上



## サイバー空間は無限か： エネルギー制約

- 日本の総発電量は約1兆kWh  
(一人当たり平均1kWを24時間365日使っている)
- 国内のデータセンターの総消費電力量は約190億kWh、総発電量の1.9%  
(一人当たり18W)
- 今後、データ量とともに消費電力が指数関数的に増加し続けると、ゼロエミッションの観点で大きな問題となり、データの利活用が**エネルギーにより制限**される可能性あり。



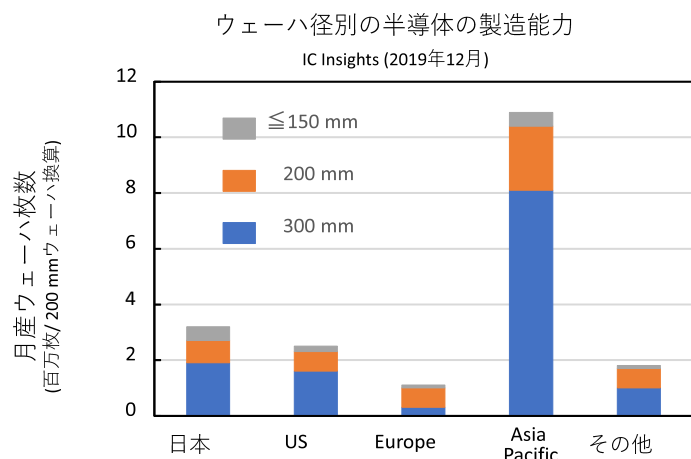
情報処理・伝送の消費電力の低減が必須

## 半導体の技術潮流 (パワー半導体を除く)

- ① **微細化**は減速しつつも継続(最小線幅~8nm@2030)
- ② **3次元化**による高集積化(成膜、貼り合わせ)
- ③ **実装技術**による高機能化(光電融合など)

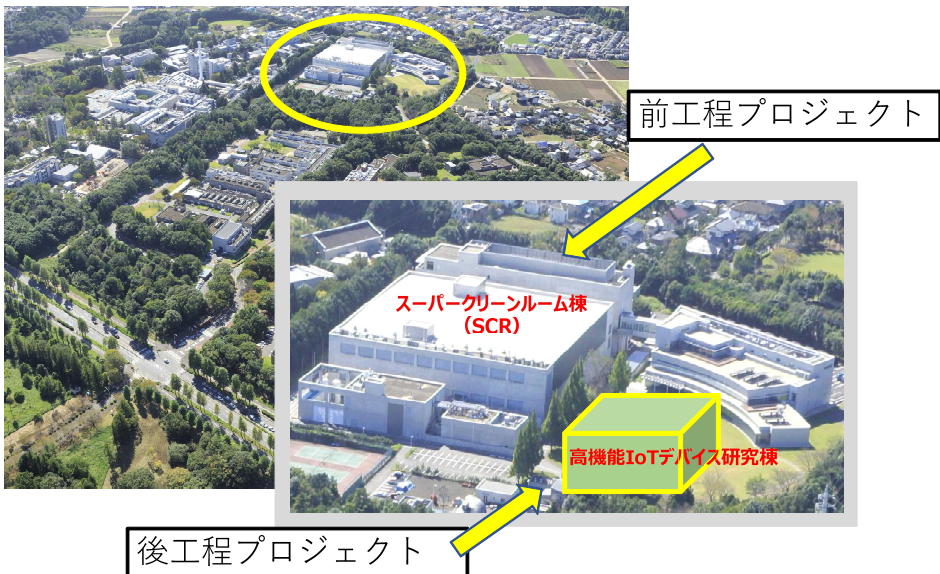
②、③の基盤は①  
微細化を海外に依存しては産業としてのリスクを抱える

## 半導体産業における日本の状況

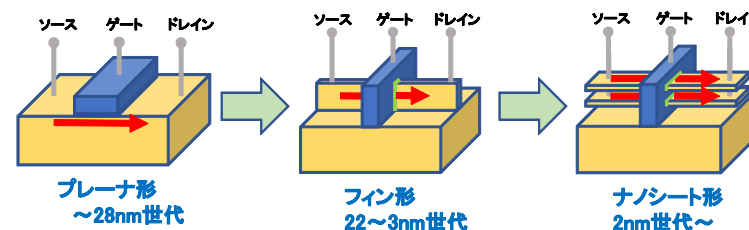


## 我が国の半導体産業復活の基本戦略 (経産省)

- 2020年
- Step1**  
**IoT用半導体生産基盤**  
⇒生産ポートフォリオの緊急強化
- 2025年
- Step2**  
**日米連携強化**  
⇒日米連携プロジェクトで次世代半導体技術の習得、国内での産業基盤確立
- 2030年
- Step3**  
**グローバル連携**  
⇒グローバルな連携強化による量子や光電融合技術など将来技術の実現



2nm世代以降(2025年以降)の先端ロジックでは  
ナノシートFETの実用化が想定される



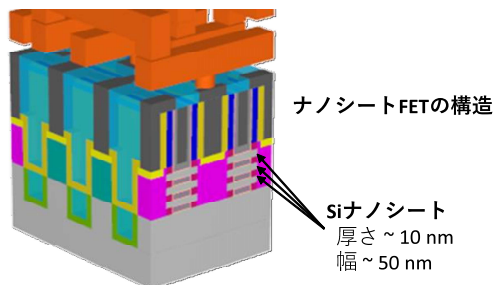
- ナノシートFETのメリット
- ・Gate-All-Around構造によるゲート支配力向上  
⇒ オフ電流削減、低電圧化
  - ・シート縦積みによるフットプリント削減  
⇒ 集積度アップ、チャンネル幅の設計自由度
  - ・チャンネル層の厚さをリソではなくエピ膜厚で制御  
⇒ トランジスタ間のばらつき抑制
  - ・寄生容量削減  
⇒ 高速動作

ポスト5G「先端3次元構造ロジック半導体デバイスの製造・プロセス  
技術の開発と検証用パイロットライン整備」

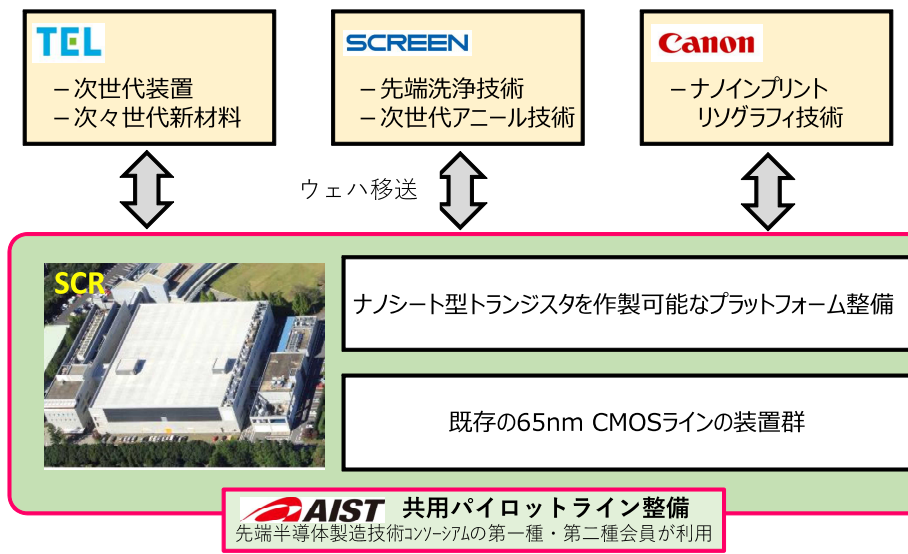
前工程プロジェクト

- 【背景】
- ▶我が国には先端ロジック半導体を製造するラインは存在しないが、半導体製造装置・材料メーカーは国際競争力を維持している。
  - ▶2nm世代(～2025年)以降のロジックICでは、トランジスタ構造が現在のフィン型からナノシート型へと置き換わり、製造技術が大きく変わることが想定される。

- 【目的】
- ▶産総研がナノシートFETを試作できる共用パイロットラインを整備し、東京エレクトロン(株)、(株)SCREENセミコンダクターソリューションズ、キヤノン(株)が開発する最先端装置の評価・検証を行うことにより、ロジック半導体の製造プロセス技術を国内に確保する。



前工程プロジェクトの体制

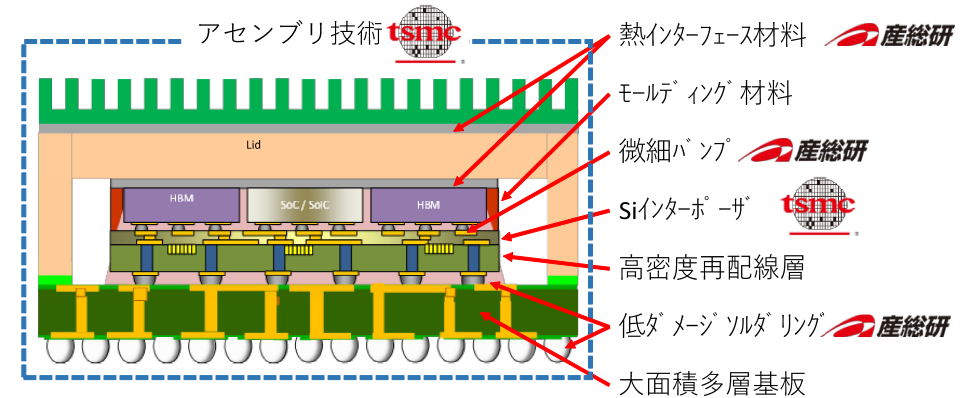


# ポスト5G 「3DIC技術の研究開発」

## 後工程プロジェクト

- <実施者> TSMCジャパン3DIC研究開発センター（株）  
共同研究先：産業技術総合研究所
- <開発対象> 高性能コンピューティング向けの先端半導体（5nmノード以降）の実装に必要なパッケージ基板の面積化、3次元・高密度実装向け材料技術、製造装置等の開発とこれらに対応するアセンブリー・パッケージング技術、その他の関連する技術。
- <研究開発ライン構築> TSMCジャパン3DIC研究開発センターは、材料、製造プロセス技術、実装技術等を評価・検証するラインを、産総研つくば中央西事業所の高機能IoTデバイス研究開発棟内に構築する。
- <産総研の分担> TSMCジャパン3DIC研究開発センターの共同研究先として、3DIC実装のための新材料・新プロセス技術の開発を担当。

# TSMCが産総研内に開設した3DIC研究開発センターにおける実装（パッケージング）技術開発（NEDO・ポスト5G事業）



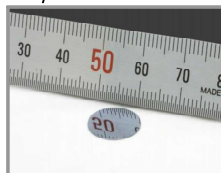
※ 下記のWebサイトにて公開の情報を基に産総研が作成  
 産総研： [https://www.aist.go.jp/aist\\_j/news/announce/pr20210531\\_2.html](https://www.aist.go.jp/aist_j/news/announce/pr20210531_2.html)  
 経済産業省： <https://www.meti.go.jp/press/2021/05/20210531002/20210531002-2.pdf>

# ミニマルファブ@産総研

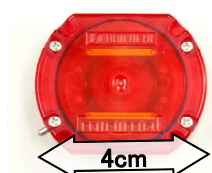
## 半導体多品種・少量生産システム→新たな半導体応用へ



ハーフィンチウエハ  
φ12.5mm



ミニマルシャトル



# まとめに代えて

- ✓ 最先端技術のキャッチアップは必須
- ✓ しかし、産業競争力の強化はそこからスタート
- ✓ 最先端だけではデジタル産業は成り立たない
- ✓ 日本のこれまで蓄積した強みを活かした戦略  
豊富な材料、製造装置技術
- ✓ レガシー半導体にも微細化以外の技術を導入して高性能化（レトロフィット）