

大規模量子コンピュータシステムに向けた サプライチェーンに関する技術ロードマップ

第2版

(2026年9月改訂)

国立研究開発法人産業技術総合研究所

国立研究開発法人理化学研究所

富士通株式会社

日本電気株式会社

目次

はじめに	4
量子コンピュータの現状.....	4
超伝導方式の概要.....	6
トランズモン型量子ビットと雑音源.....	7
初期化誤り率	7
1 量子ビットゲート制御.....	8
2 量子ビットゲート制御.....	8
超伝導量子ビットの読み出し.....	9
入出力信号配線.....	10
制御装置.....	10
現状と大規模化に向けた開発要素	12
増幅器	12
超伝導パラメトリック増幅器.....	12
低温低雑音 HEMT 増幅器.....	13
ケーブル.....	14
超伝導量子コンピュータ向けのフラットケーブルに関する技術動向.....	15
超伝導量子コンピュータにおけるフラットケーブル利用の課題.....	15
コネクタ.....	16
高周波コンポーネント.....	18
マイクロ波減衰器.....	18
サーキュレータ、アイソレータ	18
方向性結合器	18
バイアス T.....	19
RF フィルタ	19
赤外光除去フィルタ	19
冷凍機.....	20
最近の希釈冷凍機の方向性	21
将来の希釈冷凍機の方向性	21
制御システム	22
基本構成.....	24
信号生成方法の違い.....	25
諸元比較.....	26
出力信号強度.....	26
ノイズフロア	26
位相雑音	27
能動リセット.....	28

高性能計算活用	28
最近の技術トピック	31
材料・微細加工・デバイス損失	31
薄膜材料	31
ジョセフソン接合	31
微細加工・実装	32
TLS・欠陥・ノイズ	32
準粒子・放射線影響	32
損失評価・デコヒーレンス	33
読み出し・増幅器・信号伝送	33
高速・高忠実度読み出し	33
新規読み出し方式	34
パラメトリック増幅器	34
信号配送・配線	35
測定チェーン設計	35
量子制御・校正・制御ハードウェア	36
ゲート制御	36
最適制御	36
自動校正・デバイス立ち上げ	37
閉ループ制御・機械学習制御	37
制御ハードウェア	38
ソフトウェア連携制御	39
量子誤り訂正・フォールトトレランス	39
Surface Code	39
LDPC・トポロジカルコード	40
デコーディング・最適化	40
論理量子ビット評価	41
魔法状態・論理ゲート	41
QEC 実験	42
フォールトトレランス	42
量子ソフトウェア・アルゴリズム・コンパイラ	43
量子アルゴリズム	43
ハイブリッド量子古典計算	43
コンパイル・回路最適化	44
エラー緩和・ノイズ特性評価	44
量子機械学習	45
設計ツール・シミュレーション	45
主な研究拠点	46

技術トピックごとの研究拠点.....	48
地域別研究拠点.....	50
光方式の概要.....	51
各構成要素.....	51
光源類.....	51
光学部品.....	51
光検出器.....	52
オプトメカニクス.....	52
変調器類.....	52
制御装置類.....	52
光量子コンピュータの部品リスト.....	52
光源類.....	53
光学部品.....	53
光検出器.....	54
オプトメカニクス.....	55
変調器類.....	55
制御装置類.....	55
企業・大学・研究機関等の研究開発動向 2025.....	56
ダイヤモンド色中心などのスピン量子ビットの技術動向.....	56
中性原子方式の技術動向.....	56
マイクロ波-光変換の技術動向.....	57
小型ミリケルビン測定システム.....	57
量子コンピュータの大規模化への取り組み.....	58
低温制御技術（Cryo-CMOS、SFQ）.....	60
Two-Levels-Systems（TLS）研究のトレンド.....	63
量子ビットチップ設計手法のトレンド.....	66
超伝導量子ビット製造プロセスのトレンド.....	67
人工知能を用いた実験の自動化.....	68
超伝導量子回路の設計・モデリングの技術動向.....	69
エラー訂正・エラー保護の技術動向.....	71
制御技術・その他の動向.....	72
中国の研究開発状況.....	72
今後の方針.....	73
参考文献.....	74
謝辞.....	77
著者.....	77

はじめに

量子コンピュータの実用化および大規模化のためには、周辺デバイス・部品・材料等の高度化とともに、これらのサプライチェーンの構築が重要である。日本の産業は、エレクトロニクスを含むデバイス・部品・材料等に強みを有しているものの、量子コンピュータシステムの技術仕様が明確ではないため、これらに強みを持つ非量子分野の企業にとって参入の障壁が高いという課題があった。そこで、1000 量子ビット超級の量子コンピュータシステムの技術仕方を明確化し、システム全体や必要なデバイス・部品・材料等に関する技術の高度化の道筋を示した技術ロードマップを作成することとした。

量子コンピュータの大規模化に必要となる部素材の開発目標が定量化・明確化された技術ロードマップを広く産業界に提供することで、これまで量子コンピュータ産業に深く関わってきた企業や研究機関・大学だけでなく、非量子分野からの量子コンピュータ開発への参入や、新たなスタートアップ企業の創出等を加速し、安定的かつ強靱なサプライチェーンの実現を目指している。

技術ロードマップの作成にあたっては、国内外の量子コンピュータベンダや制御装置、部素材サプライヤー、研究機関などから情報を収集し、量子コンピュータシステムの大規模化に向けて現状技術の分析を行った上で、1000 量子ビット超級量子コンピュータの商用化に必須となる部素材等の特定と技術仕様を明確にして、部素材開発に関する情報をとりまとめた。調査の過程で、商用機を目指す有力ベンダとの連携、日本を中心とした中小企業等のサプライヤーについて部素材開発事業への参画を促し、社会実装に向けた連携活動も行っている。

量子コンピュータの現状

量子コンピューティング技術は 2045 年までに全世界で 4000 億米ドルから 8500 億米ドル（2026 年 8 月時点のレートで 63 兆円から 135 兆円程度）の価値を創出すると推定されており、材料開発や金融が主なアプリケーションとされている。当面、量子コンピュータ関連産業への投資は続く予想されているが、我が国においてもこの流れに遅れることなく、国内外の量子コンピュータベンダや制御装置、部素材サプライヤー、研究機関が情報を持ち寄って量子コンピュータの産業化に向けた取り組みを推進する必要がある。表 1 からわかるように、2022 年に調査した超伝導量子コンピュータを構成する多くの部品・機器は日本企業で開発されたものであり（1 位：日本 31 種の部品、2 位：米国 29 種、3 位：ドイツ 4 種、表 1）、ほぼ日本と米国製部品で完成できる状況であった。また、それらの部品・製品は、超伝導量子コンピュータ部品の重要要素であるとともに、幾つかは技術的な参入障壁が高く、後発の企業が後追いで開発することが困難なチョークポイントとなっている。これらの多くは、例えば通信産業など、非量子産業で発展した部品・装置を応用・転用したものが多く、国および研究機関の支援で性能を向上させさらにシェアを伸ばすことができる可能性がある。これらの部品・装置において 1000 量子ビット超級への課題は小型化・高密度化・省エネルギー化であり、その技術は従来産業においても競争力を増す要因となりうる。

このような理由により、国の支援による事業性と社会受容性は十分にあると考えられ、各機関が持ち寄った情報を基に、サプライチェーンの俯瞰図とロードマップを作成し、一部の部素材については試作・評価・性能の公表を実施して市場の拡大を図りつつ、非量子分野の企業からの参入障壁を下げ、サプライチェーンの強靱化を図って、我が国の技術でチョークポイントを押さえることが重要である。

量子コンピュータの開発は、基礎研究および実用化に向けた技術開発の両面で急速に進展しつつある。1000 量子ビット超級の量子コンピュータの実現に向けて、サプライチェーンの俯瞰図・ロードマップの作成、部素材の試作等の研究開発に取り組み、これらの成果を他の事業や企業で活用して量子コンピュータの大規模化と事業化を後押しすることが重要である。

表1 調査した超伝導量子コンピュータに使用されていた部品の製造国

製造国	部品数
日本	28
米国	26
ドイツ	3
スイス	3
スウェーデン	3
オランダ	2
フランス	1
台湾	1
米国／日本	3
ドイツ／日本	1
合計	71

量子ビットの物理系として、超伝導、光量子、中性原子、イオントラップ等の技術があるが、まず始めに超伝導方式の量子コンピュータについて調査を行った。

超伝導型量子コンピュータは、もっとも実用化に近いアーキテクチャの一つとされており、すでに一部の量子コンピュータでは古典コンピュータを凌駕する計算能力を発揮する場合があることが報告されている。しかし、それはあくまでも特定の問題に限られており、汎用的な量子コンピュータが古典コンピュータを完全に置き換えるには、なお多くの技術課題が残されている。わが国においても、量子技術が国家戦略の一部に位置づけられており、国産量子コンピュータの実用化および大規模化に向けて、産学官連携による開発支援が進んでおり、周辺デバイス・部品・材料等の高度化とともに、これらのサプライチェーンの構築が求められている。そこで、超伝導量子コンピュータの大規模化に必要な要素技術と研究開発の方向性について調査した結果について報告する。

超伝導方式の概要

超伝導量子コンピュータは、超伝導の電気回路により作られた人工原子を集積化し構成する。制御性・集積性と拡張性に優れ、10 量子ビットから 1000 量子ビット級の超伝導量子コンピュータが近年開発されている。

超伝導量子ビットには、電荷型、磁束型、位相型など様々な種類があるが、その中でもトランズモン型量子ビットは集積化に向いており、現在最も広く研究されている。トランズモン型量子ビットは、2つの超伝導体間にジョセフソン接合（超伝導体間のトンネル効果を利用した素子）を挟んだシンプルな構造をしている（図 1(a,b)）。このジョセフソン接合は、近似的にインダクタンスとして扱うことができ、回路全体は LC 共振回路とみなすことができる。希釈冷凍機を用いて極低温環境でこの回路を冷却すると超伝導転移した後にさらに量子力学的な性質を示し、回路のエネルギーが量子化されて離散的なエネルギー準位を持つ。このうち、最低の 2 つのエネルギー準位を量子ビットの $|0\rangle$ 状態と $|1\rangle$ 状態として利用し、量子計算の基本単位として用いる。 $|0\rangle$ と $|1\rangle$ の状態は、それぞれ回路の電荷の波動関数が異なる状態に対応しており（図 1(c)）、この 2 つの状態を重ね合わせることで量子計算が可能になる。

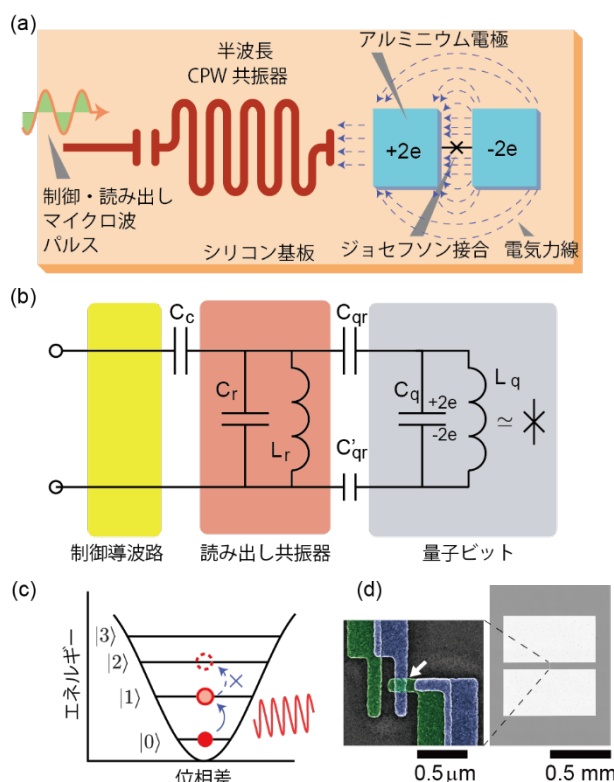


図 1：トランズモン型量子ビット (a) シリコン基板上の超伝導電極として形成されたトランズモン量子ビットと(b)その等価回路。(c) トランズモン型量子ビットのエネルギーポテンシャルと離散的なエネルギー準位。(d) トランズモン型量子ビットの電子顕微鏡像とジョセフソン接合の拡大図

図 1(c)に示すように、量子ビットの最低エネルギー準位間の遷移エネルギーは、周波数換算すると、量子ビットを構成する LC 共振器（以下、共振器）の共振周波数に対応する。この共振周波数は、超伝導量子コンピュータ開発において重要なパラメータであり、各企業・研究機関ごとに異なる値が採用されて

いる。共振周波数の選択には、以下の点が考慮される。(1) 熱雑音: 共振周波数が低いほど、熱による励起(熱雑音)の影響を受けやすくなり、量子ビットの初期化誤り率が増大する。(2) 動作帯域幅: 共振器の比帯域幅が一定である場合、共振周波数が高いほど動作帯域幅も広がる。しかし、動作帯域幅が広すぎると、制御パルスが他の量子ビットに影響を与える可能性がある。(3) 寿命: 共振器の Q 値が一定の場合、共振周波数が高いほど量子ビットの寿命(コヒーレンス時間)が短くなる。これは、共振器と環境との相互作用が増加するためである。(4) 超伝導ギャップ: 量子ビットを構成する超伝導体のギャップエネルギー近傍では、量子ビットの寿命が短くなる傾向がある。

これらの要因を総合的に考慮し、2025 年現在、多くの量子コンピュータでは 4 GHz から 9 GHz の共振周波数が採用されている。この周波数帯は、熱雑音の影響を抑制しつつ、十分な動作帯域幅を確保し、かつ、比較的長い寿命を実現できるという点でバランスが取れている。

トランズモン型量子ビットと雑音源

超伝導量子ビットの緩和源は、大まかに LC 共振器の緩和源であるジュール損、誘電損、放射損に加えて、物理系の非線形性が寄与することにより電荷雑音、磁場雑音の影響を受ける(図2)。

ジュール損は超伝導性を持たない導電体による損失を指しており、量子ビットの動作温度がある温度より高い場合や電磁遮蔽が不十分な場合には、準粒子と呼ばれる損失成分が支配的になる。量子ビット近傍に存在する導電体による損失も含まれる。誘電損は超伝導量子ビットを構成する絶縁体基板、基板と金属膜との界面・金属膜表面などに存在する誘電正接の大きな誘電体がマイクロ波の損失に寄与するものである。 Q 値が 10^7 を超える超伝導量子ビットに対して、誘電正接が 10^{-2} から 10^{-4} 程度の物質が近傍にわずかに存在するだけでも緩和源になり得る。放射損失は量子ビットのエネルギーが空間に輻射する場合であり、量子ビット基板を格納するパッケージ基板やパッケージ筐体の構造に起因する。

超伝導量子ビット特有の雑音源である電荷雑音は、量子ビットの基板中や界面の荷電粒子や基板中の欠陥などに由来する。磁束雑音は超伝導量子ビットが超伝導量子干渉計(SQUID)構造を含む場合において、超伝導ループを貫く磁束が揺らぐことに起因する。極低温下において高い透磁率を有する磁性材料を用いて外部磁界を遮蔽することにより雑音低減が施される。

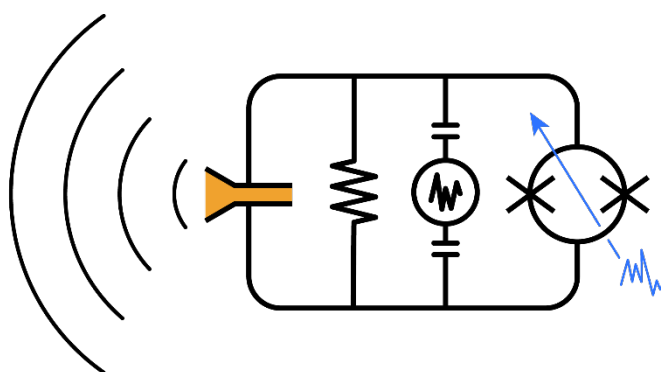


図2: 超伝導トランズモン型量子ビットの損失源

初期化誤り率

超伝導量子ビットを動作させるためには、初期化の誤り率を十分に低く抑える必要がある。特に表面符

号などの誤り訂正符号を用いる場合、符号距離にも依存するが、典型的には初期化誤り率が 0.1% (10^{-3}) 以下が求められる。

超伝導量子ビットの初期化誤り率は、主に以下の雑音源が原因となる。(1) 熱雑音: 常温の電子回路から伝わる熱雑音は、制御線を通じて量子ビットに影響を与える。(2) 制御装置からの雑音: 制御装置からの電氣的な雑音も、量子ビットの動作を乱す。(3) 冷凍機環境内の雑音: 希釈冷凍機内には様々な装置からの振動や電磁雑音が存在し、量子ビットに影響を与える可能性がある。

例えば、8 GHz で動作する量子ビットの場合、初期化誤り率を 0.1% に抑えるためには、制御線上の雑音を -232 dBm/Hz 以下にする必要がある。これは、非常に微弱な雑音であり、例えば、常温の熱雑音がおおよそ -173 dBm/Hz であることを考えると、約 60 dB の減衰量を必要とする。そのため希釈冷凍機内には多段の減衰器が設置され、量子ビットを外部の雑音から遮蔽している。しかし減衰器の挿入は、信号の減衰だけでなく、信号の遅延や歪みも引き起こすため、量子ビットの制御精度に影響を与える可能性がある。そのため、高性能な減衰器の開発や、量子ビットの設計自体を見直すことで、より高い性能を実現するための研究が進められている。

1 量子ビットゲート制御

量子ビットを操作するためには、最低 2 つのエネルギー準位間の制御、すなわち 1 量子ビットゲートの実装が必須である。これは典型的に、準位間エネルギーに対応するマイクロ波パルスを照射することで実現される(図 1(c)参照)。マイクロ波パルスは、量子ビットの共振周波数で変調された、数ナノ秒から数百ナノ秒のパルス幅を持つものが主に用いられる。

量子ビットはアナログ的な素子であるため、その制御には高精度のアナログ信号が必要となる。パルス波形は、例えば数十ナノ秒の半値全幅を持つガウス関数を包絡線とし、多くの場合、波形に弱い位相変調が加えられる。このため、ベースバンド波形の生成には任意波形発生器が用いられる。制御アナログ帯域幅は数十から数百メガヘルツであり、制御波形の歪みが制御の誤差率を律速するため、伝送系は過渡応答補償や低歪み回路を用いて構成される場合がある。

2 量子ビットゲート制御

超伝導量子ビットにおける 2 量子ビットゲートの実装は、大きく 2 つの方式に大別される。

一つは、直流成分を含む高速な電流パルスにより量子ビットや結合器の遷移間エネルギーを調整するものである。2025 年現在、こちらの方式が主によく用いられている。量子ビットはその遷移間エネルギーを可変するために直流の電流(正確には磁界)によりバイアスされている。数百ナノアンペアから数十マイクロアンペアの直流電流によりバイアスされているため、伝送系に用いられるコネクタ等の接触抵抗が高い場合には発熱源または熱雑音源となる。この遷移間エネルギーを変化させるゲート方式では、数十ナノ秒のパルス幅を持つ電流パルスを量子ビットに印加することにより 2 量子ビットゲートが実現する。パルスの立ち上がり立ち下がりには精密に制御される必要がある。直流から数 GHz の帯域幅を持つアナログ信号が量子ゲートとして必要であるが、伝送系の波形歪みが過渡現象として問題になることが多い。この問題の回避に向けて、伝送系の歪みを補正する機能が制御装置に実装される場合がある。

もう一つは、マイクロ波により誘起する量子ゲート方式である。マイクロ波電圧・電流により物理系のパラメータを励振することで量子ゲートが実現されるため、パラメトリック誘起量子ゲートと呼ばれて

いる。この方式では量子ビット遷移間エネルギーと近い周波数を量子ビットに導入することで実現する。1 量子ビットゲートの実装に用いているマイクロ波周波数と 2 量子ビットゲートの実装周波数の差（離調）が、離調の大きさが制御装置に要求される瞬時帯域幅を与える。典型的なマイクロ波パルスの周波数は 100 ナノ秒であり、波形の立ち上がり部と立下り部に精密な振幅と位相変調を必要とする。同一の量子ビットに対して 1 量子ビットゲートと 2 量子ビットゲートを実装するマイクロ波パルスを同時に印加する場合、それぞれのパルスのピーク振幅が大きく異なることがある。30 dB から 40 dB 程度の振幅差が生じる場合には、制御装置のダイナミックレンジが制限要因となる。

超伝導量子ビットの読み出し

超伝導量子ビットの読み出し方式として、2025 年現在、分散読み出し（Dispersive readout）と呼ばれる方式が広く採用されている。分散読み出しとは、超伝導量子ビットとキャパシタを用いて静電的に結合したマイクロ波共振回路にマイクロ波を導波し、その位相変調応答信号を解析することで、量子ビットの $|0\rangle$ 状態と $|1\rangle$ 状態を判別する手法である。

読み出しに用いられる共振回路は、超伝導量子ビットの遷移エネルギーから 1 GHz から 2 GHz 程度離調されて設計される。例えば、超伝導量子ビットの遷移エネルギーが 4 GHz の場合、読み出し共振器は 5.5 GHz に共振周波数を持つように設計される。読み出し共振器の Q 値は、外部 Q 値によって律速されるように設計され、外部結合 Q 値（線幅の逆数）が小さいほど、過渡現象が小さく高速な読み出しが可能となる。しかし、外部結合 Q 値が小さい場合、超伝導量子ビットと読み出し共振器を介した導波路との結合が強くなり、量子ビットの寿命が短くなるというトレードオフが存在する。

読み出し共振器には、ピーク電力として -120 dBm から -130 dBm 程度、パルス幅 100 ナノ秒から 500 ナノ秒の読み出し信号が与えられる。このパルス幅は、量子ビットの状態を十分に变化させるために必要であり、ピーク電力は、量子ビットを過度に励起させないために十分に小さい値が選ばれる。

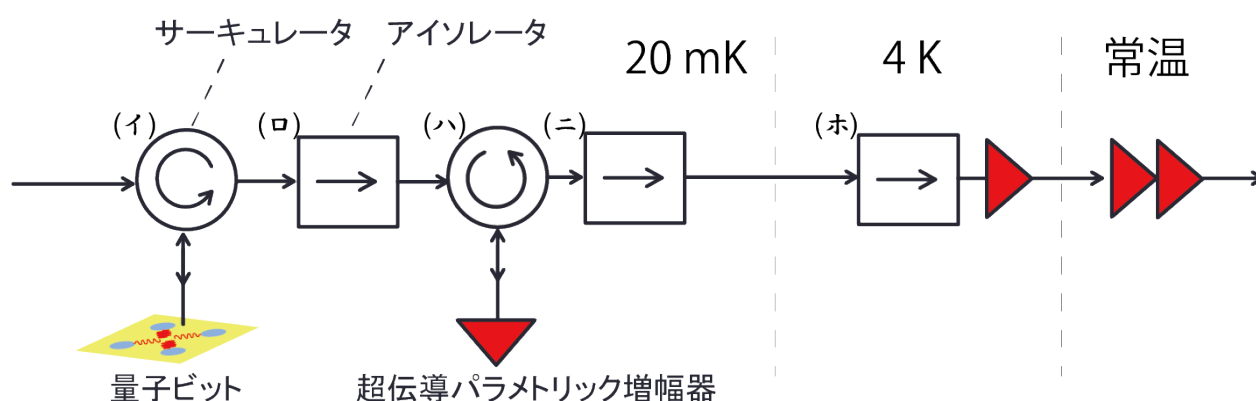


図3: トランズモン型量子ビットの分散読み出し実施例

図3は、量子ビットの読み出し回路の一例である。量子ビットの状態を読み出すために、微弱な読み出し信号が与えられると、まず、サーキュレータ（イ）を通過する。その後、量子ビット基板上の読み出し共振器で反射し、再びサーキュレータ（イ）に戻ってくる。この反射波は、アイソレータ（ロ）とサーキュレータ（ハ）を通過して、パラメトリック増幅器に入力される。パラメトリック増幅器は、非常に低い雑音で信号

を増幅することができるため、微弱な読み出し信号を大幅に増幅し、出力として取り出すことができる。しかし、増幅器の雑音も同時に増幅されてしまうため、量子ビット基板に向けて雑音が逆流してしまう。サーキュレータ(イ)とサーキュレータ(ハ)は、特定の方向にしか信号を通さない素子であるが、わずかな量の信号が逆方向に漏れてしまう。この漏れた信号は、量子ビットに悪影響を与えるため、アイソレータ(ロ)を加えた3つの磁気素子(イ、ロ、ハ)により、60 dB以上の大きな逆方向比を必要とする。

さらに、4 K環境下の低雑音増幅器や、常温に設置された低雑音増幅器から発生する雑音を抑制するために、アイソレータ(ニ、ホ)が用いられている。これらのアイソレータは、増幅器から発生した雑音が量子ビット基板に逆流するのを防ぐ役割を果たす。

また、帯域通過フィルタや低域通過フィルタを組み合わせることで、特定の周波数帯域の雑音をさらに抑制することも可能である。これらのフィルタは、不要な雑音を除去し、必要な信号のみを通過させる役割を果たす。

入出力信号配線

超伝導量子ビットは、アナログの受動素子であり、量子ビットを集積したチップに対して制御を行うことで、論理演算能力を持つ計算機となり得る。多くの場合、制御装置は冷凍機外の常温環境下に置かれ、常温と低温を接続する入出力配線(I/O配線)を必要とする。冷凍機内のI/O配線としては、主に高周波同軸線が用いられている。超伝導量子ビットの動作には、アナログ制御電圧パルスを精密に印加する必要があるため、遮蔽性能に優れた高周波同軸線が広く用いられている。高周波同軸線は、入力信号側と出力信号側とで、異なる線材が用いられる。

入力信号側は、常温における熱雑音を大きく減衰させる目的で、低温で動作する抵抗体を用いたマイクロ波減衰器と、キュープロニッケルなど、損失の多い線材が用いられる。常温からの低温への熱流入も考慮する必要があるため、配線材の断面積は小さい方が望ましい。しかし、あまりにも細い線材を用いると、冷却の繰り返しによる破断のリスクが高まる。

出力側の同軸線は、得られた信号を可能な限り低損失で読み出せるように、極低温側(0.01 K)から4 Kまでをニオブチタン同軸線で繋ぎ、4 Kに低雑音増幅器が採用される。入力換算雑音温度が数 K以下の低雑音増幅器が用いられることで、微弱な信号検出を可能としている。また、出力側の最低温側には、前述の超伝導回路で構成されたパラメトリック増幅器が広く用いられる。これは、半導体増幅器では量子力学的な信号を読み出すのに十分な雑音特性が得られないためであり、入力換算雑音温度が0.4 K以下、利得20 dB程度の超伝導体を用いた増幅器が採用されることで、量子力学的な信号読み出しに十分な高感度の信号検出を実現している。

制御装置

前述のとおり1量子ビットゲート実装や2量子ビット量子ゲート実装の一部の方式、量子ビット状態読み出しには、マイクロ波パルスが用いられる。アナログ変調帯域幅100 MHzから500 MHz、パルス幅10ナノ秒～1マイクロ秒、搬送波周波数が量子ビットエネルギー準位の遷移間周波数を持つマイクロ波パルスを制御装置から送出する。このとき1量子ビットゲート、マイクロ波誘起2量子ビットゲート方式と、量子ビットの読み出しには異なるマイクロ波パルス振幅・パルス幅・搬送波周波数が用いられる。さらに読み出しにジョセフソンパラメトリック増幅器を用いる場合にはポンプパルスマイクロ波

信号が、周波数変調 2 量子ビットゲートを採用する場合には、直流 から 1 GHz 帯域のパルス信号を必要とする。

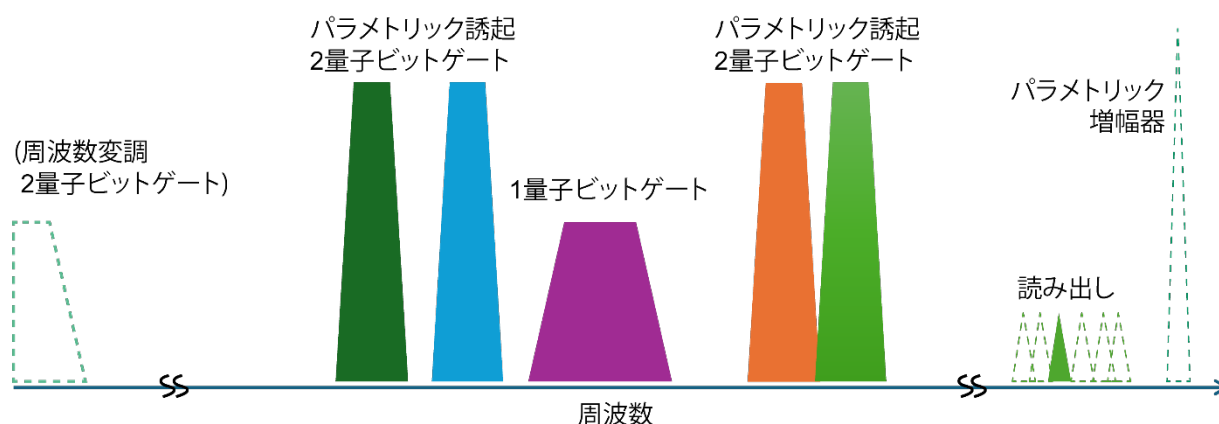


図 4： パラメトリック誘起ゲートを 2 量子ビットゲートに用いた場合の制御信号様式

2 量子ビットゲートとしてパラメトリック誘起量子ゲートを用いた構成において、量子ビット制御パルスと読み出しパルスの周波数配置・パルス帯域幅とパルスピーク電力を図 4 に示す。単一の量子ビットに対しては 1 量子ビットゲート制御パルス、読み出しパルス、2 量子ビットゲート制御パルスが隣接量子ビットの数 (図では 4 量子ビット分) だけ必要となる。典型的に 1 量子ビット制御パルスは 100 MHz から 300 MHz の帯域幅を持つピーク電力 -90 dBm から -80 dBm 程度のパルスとなる。読み出しパルスは量子ビットエネルギー遷移周波数から 1 GHz から 2 GHz だけ周波数離調しており、変調帯域幅 50 MHz から 100 MHz、ピーク電力-130 dBm から-120 dBm のマイクロ波パルスである。パラメトリック誘起 2 量子ビットゲートを用いる場合には、隣接量子ビットそれぞれに対応する搬送波周波数において、変調帯域幅 200 MHz 程度、ピーク電力 -70 dBm から-90 dBm のマイクロ波パルスが必要となる。

上述の例では一つの量子ビットに対して異なる周波数・ピーク電力のマイクロ波パルスを周波数多重化する必要があるため、単一の D/A 変換器を単一の量子ビットに対応させる場合、ダイナミックレンジ不足により波形の表現能力不足に注意する必要がある。その他制御装置において検討される仕様は次の通りである。

- (A) 波形は数百 MHz の帯域幅を持つパルスであるため、相互変調歪みが十分小さくないとそのパルス波形の立ち上がり立ち下がり部分において位相変調 (振幅変調-位相変調変換: AM-PM 変換) が生じる。
- (B) 制御装置の位相揺らぎ(位相雑音)は、短期(1 kHz 程度)は量子ビット実験の繰り返し試行における実験条件の同一性に影響を与える。長期(1 Hz から数時間)は量子ゲート実装における校正(波形の調整)の安定度に影響を与える。
- (C) 大きなダイナミックレンジを必要とする一方で、雑音密度が大きな場合には量子ビットの初期化誤り率・ゲート誤り率に影響を与える。
- (D) 多くの量子誤り訂正符号では、量子ビットに生じる誤りの局所性を基にしている。制御チャネル間のアナログ信号の漏話を生じ、非局所的な誤りが生じると誤り訂正符号が機能しない。

現状と大規模化に向けた開発要素

増幅器

超伝導量子ビットの読み出しに用いられる増幅器は、大まかに極低温環境下(冷凍機 10 mK ステージ)で動作する超伝導パラメトリック増幅器、4 K 環境(冷凍機 4 K ステージ)で動作する低温低雑音増幅器、常温(室温)環境下で動作する低雑音増幅器の 3 種類である。室温動作の低雑音増幅器については、世界各国のマイクロ波コンポーネント製造会社から多様な周波数帯域、ゲインをカバーする製品が供給されているため、ここでは割愛する。米国の Narda-MITEQ 社 [1]、B&Z Technologies 社 [2]の製品が比較的ポピュラーである。

超伝導パラメトリック増幅器

出力ラインの 10 mK ステージ、初段の増幅では、雑音を量子限界近くまで抑えた増幅器が求められる。ジョセフソンパラメトリック増幅器(Josephson Parametric Amplifier, JPA)とジョセフソン進行波パラメトリック増幅器(Josephson Traveling Wave Parametric Amplifier, JTWPA)は、そのような量子限界で動作する増幅器の候補として開発が進められている。超伝導量子ビットと同じくジョセフソン接合に基づく素子であることから、超伝導量子ビット研究グループが並行して研究・開発を進めているケースも多い。JPA はジョセフソン接合と共振器回路からなる比較的単純な構造であるものの、ゲインのバンド幅が数 10 MHz から数 100 MHz に制限されることから、量子ビットの多重読み出しに求められる、広い増幅帯域(1 GHz 以上)には対応できないことが多い。このカテゴリでは、Raytheon BBN 社のインピーダンス整合パラメトリック増幅器(Impedance-matched Parametric Amplifier, ImPA)が製品化されている [3]。5 GHz から 7 GHz で中心周波数を調整可能であるが、瞬時帯域は 300 MHz 程度で、ゲインは 20 dB である。

JTWPA は、数 GHz の増幅帯域が可能である。その一方、1 素子に 1000 個以上のジョセフソン接合が必要とされるため、再現性や歩留まりがよいとは言えない。それでも、複数の会社から JTWPA が販売されている。価格は概して極めて高価である。広帯域化・低雑音化を軸に研究開発が進められている。

以下、市販の JTWPA について公開されているスペック値を拾っていく(メーカーごとに提示しているパラメータが異なるので、リスト化していない)。オランダ・デルフトに本社を置く QuantWare 社の Cresendo-S[4]は、1 GHz ごとに複数の帯域(4 GHz–5 GHz、5 GHz–6 GHz、6 GHz–7 GHz、7 GHz–8 GHz、8 GHz–9 GHz)を選べ、7 GHz–8 GHz 帯の場合、ゲイン 20 dB 以上、ゲインリプル 3 dB、信号雑音比 14 dB、量子効率 70%、寸法[以下、特に断らない限り L(入出力コネクタ取付面間距離) × W(コネクタ取付幅) × H(コネクタ取付面厚み)で、コネクタ寸法を含まない。コネクタは全て Female SMA で 28 × 25 × 10 mm³である。ゲインリプルは、回路のインピーダンス・位相不整合などから生じ、ゲインが周波数敏感となる現象である。ゲインリプルは極力避けられるべきである。スウェーデン・ヨーテボリに本社を置く SCALINQ 社の QET Vidar TWPA Model S[5]は、ゲイン 15 dB、バンド幅 4 GHz–8 GHz(変更可)、信号雑音比 10 dB–12 dB、追加雑音(Added Noise)1 光子以下、最適ポンプ周波数 12 GHz 付近、ポンプ出力–80 dBm、飽和出力–100 dBm、寸法 35.4 × 30 × 11 mm³、重量 100 g である。フランス・グルノーブルに本社を置く Silent Waves 社[6]の The Arigo はゲイン 15 dB 以上、バンド幅 1.5 GHz、飽和出力–100 dBm、雑音 1 K 以下である。同社の最新機種 The Carthago では、ゲイ

ン 18 dB 以上、バンド幅 3 GHz、飽和出力 -105 dBm、ノイズ 1 K 以下となっている。シンガポールに本社を置く VASTA PTE. LTD.社[7]の販売する TWPA では周波数帯域 5.5 GHz – 7 GHz、挿入損失 1 dB 以下、ゲイン 15 dB 以上、信号雑音比 6 dB 以上、飽和出力 -105 dBm、寸法 68 × 18.5 × 9 mm³ である。フィンランド・ヘルシンキに本社を置く Bluefors 社は同社の無冷媒希釈冷凍機 LD もしくは XLD シリーズに JTWPA をはじめ HEMT やアイソレータなどの量子ビット読み出しに必要なコンポーネント一式を組み込んだ Microwave Readout Module Package[8]を販売しており、パッケージ全体でのパフォーマンスは、バンド幅 4 GHz – 8 GHz、ゲイン 15 dB、追加雑音 300 mK 程度、ゲインリプル 5 dB 以下、信号雑音比 9 dB、ポンプ周波数 9 GHz – 13 GHz、最大ポンプ強度 -55 dBm、DC フラックス電流 600 μ A – 800 μ A である。

パラメトリック増幅には、ポンプ信号を増幅器に与える必要があり、ポンプ周波数により、三波混合(3-wave mixing, 3WM)と四波混合(4-wave mixing, 4WM)の増幅方式がある。3WM は、増幅したい信号帯域のおおよそ 2 倍の周波数のポンプ信号を与えるため、量子ビットや共振器の周波数との干渉が少ない点で有利であり、上記の市販 JTWPA ではほぼ 3WM が採用されている。一方、比較的高い信号強度が必要なポンプ信号が、高周波側(しばしば 10 GHz 以上)に存在することは、室温エレクトロニクスには追加の要求となる。また、3WM であれ、4WM であれ、ポンプ信号用のマイクロ波入力線が(量子ビット制御等の入力線とは別に)用意されている必要がある。量子ビット読み出しを 4 多重で行う場合、1000 量子ビットでは 250 個の増幅器とポンプ信号入力線が必要となる。10 mK ステージのスペースの問題に加えて、ポンプ信号による発熱にも対処する必要がある。これらの問題は、単純に読み出しの多重度を上げる、ということだけでは対処できないかもしれない。John Martinis 氏らが設立した Qolab 社では、量子ビットと同一のチップ上に集積することも可能なジョセフソン光電子増倍管(Josephson photomultiplier)を用いた状態検出方式を採用するとしている[9]。

低温低雑音 HEMT 増幅器

出力ラインの 4 K ステージでは、低温動作する HEMT 増幅器による信号増幅が行われる。超伝導量子ビット研究では、スウェーデン・ヨーテボリに本社を置く Low Noise Factory 社[10](以下 LNF と略す)の HEMT 増幅器が高いシェアを持っている。様々な周波数帯域の製品を販売しており、数 100 MHz から 100 GHz 超までをカバーするが、超伝導量子コンピュータ応用では、読み出し周波数に応じて 4 GHz – 8 GHz 帯(共振器周波数 6 GHz 付近)と 4 GHz – 16 GHz 帯(共振器周波数 10 GHz 付近)の製品が広く用いられている。表 2 にこれらの帯域の製品の基本性能を示す。これらの製品では、インジウムリン(InP)系の材料を用いており、MMIC(モノリシックマイクロ波集積回路)化されている。

表 2

Model	LNF_LNC4_8G	LNF_LNC4_8SG	LNF_LNC4_16C	LNF_LNC4_16SB
Bandwidth	4 GHz – 8 GHz	4 GHz – 8 GHz	4 GHz – 16 GHz	4 GHz – 16 GHz
Noise temp. (typical)	1.5 K	1.5 K	3.1 K	3.1 K
Noise figure (typical)	0.02 dB	0.02 dB	0.05 dB	0.05 dB
Gain (typical)	39 dB	39 dB	36 dB	36 dB
Power consumption	7.8 mW	7.8 mW	17.6 mW	17.6 mW
RF connectors	Female SMA	Male G3PO	Female SMA	Male G3PO

Dimensions (L × W × H)	15.80 × 17.00 × 7.80 mm ³	15.48 × 13.80 × 3.56 mm ³	19.60 × 19.87 × 7.80 mm ³	19.28 × 20.8 × 3.56 mm ³
---------------------------	---	---	---	--

超伝導パラメトリック増幅器の場合と同様、量子ビット読み出しを4多重で行う場合、1000量子ビットでは250個のHEMT増幅器が必要となる。したがって、HEMT増幅器には、小型化と省電力化が求められる。現状で、寸法を律速しているのは素子そのものよりはコネクタと思われ、SMAコネクタを採用すると厚みとして7.8mm程度は必要となってくる。G3POコネクタ(microSMPと嵌合)を採用したモデル(LNF-LNC4_8SG、LNF-LNC4_16SB)では、3.6mm以下まで小さくなる上に、隙間を空けずに積み重ねることも可能であり、全体として省スペース化できる。ただし、極低温同軸ケーブルのコネクタもG3POに対応している必要があり、SMAコネクタと同程度の信頼性(特に多数回のサーマルサイクルの下で)を確保できるか検証する必要があるだろう。また、この規模では、HEMT増幅器自体の寸法以外にも、室温に設置するDC電源、室温から4KまでのDC配線の占める領域も慎重に検討する必要がある。DC電源では19インチラックに収容可能な多チャンネル(8チャンネル以上)型のものが用いられるようになってきている。日本国内では株式会社エヌエフ回路設計ブロック[11]が、そのような増幅器用多チャンネル電源の開発を行っている。

250個のHEMT増幅器を4Kに設置する際の総消費電力は、4GHz–8GHz帯素子では7.8mW × 250 = 1.95W、4GHz–16GHz帯素子では17.6mW × 250 = 4.4Wとなる。通常の希釈冷凍機の4Kでの余剰の冷却能力は、数100mW~1W程度なので、これらを4Kステージに搭載する場合には、パルスチューブ冷凍機を追加するなど4Kステージ冷却能力増強を検討する必要があるだろう。最近のチャルマース工科大学(同じくヨーテボリに所在)との共同研究では、4GHz–6GHz帯のノイズ温度2.0K、ゲイン23.2dBで消費電力を100μWまで抑えた超低消費電力ハイブリッド素子を報告している[12]。

LNF以外では、前述のNarda-MITEQ社[13]、同じく米国のAmpliTech社[14]、韓国のWith-Wave社[15]などが「量子コンピュータ向け」とするHEMT増幅器(4GHz–8GHz帯をカバー)を販売している。日本国内では、日本通信機株式会社が6GHz–7GHz帯で動作する9848CBと8GHz–12GHz帯で動作する9848XD[16]を販売している。前者の基本性能は、ゲイン36dB以上、雑音温度3K以下、消費電力10mW以下、寸法25 × 20 × 7.8mm³、後者では、ゲイン32dB以上、雑音温度6K以下、消費電力10mW以下、寸法19.6 × 22 × 7.8mm³である。

4Kステージでの信号増幅は、当面HEMT増幅器が主力となると思われるが、超伝導体に生じるカイネティックインダクタンスの非線形性を用いた増幅器の研究が行われている。例えばNbTiN(窒化ニオブチタン)の超伝導転移温度 T_c は10K以上であり、4Kステージの動作も期待できる[17]。カナダのシャープブルックおよびウォータールーに拠点を置くQubic社はQuantum Machines社にカイネティックインダクタンス進行波パラメトリック増幅器(Kinetic Inductance Traveling-Wave Parametric Amplifier)を提供する契約を結んだとするプレスリリースを出しているが、技術詳細は不明である[18]。

ケーブル

超伝導量子コンピュータの量子ビットに関わる制御配線は、同軸ケーブルが広く利用されている。同軸ケーブルは信号損失が少なく、ケーブル内に電磁界が閉じ込められた独立配線であるため信号間のクロストークを低く抑えることが出来る。一方で、信号損失を抑えるため、芯線が太く柔軟性に乏しく、量子

コンピュータの小型化・高密度化に対して、不向きな特性を持つ。特に、量子ビット数の増加に伴い、配線数も飛躍的に増加するため、希釈冷凍機の内部空間の配線スペースの制約が深刻化することが予想されている。フラットケーブルは、薄くて柔軟性があり、高密度実装に適していると考えられており、配線スペースの問題を解決する有望な選択肢として期待されている。具体的なメリットについて、以下に示す。

- ・**小型化・高密度化:** 同軸ケーブルに比べて占有面積が小さく、配線スペースを有効活用でき、これにより、量子ビット数を増やすためのスペースを確保し、超伝導量子コンピュータ全体の小型化が期待できる。
- ・**柔軟性:** 柔軟性があるため、複雑な配線経路にも対応可能であり、量子ビットチップや制御回路の配置自由度が高まり、設計の最適化が容易になる。
- ・**低コスト:** 大量生産に適しており、同軸ケーブルに比べてコストを抑えることが可能。

超伝導量子コンピュータ向けのフラットケーブルに関する技術動向

- ・**低損失材料の開発:** 量子ビットの制御信号は非常に微弱であるため、信号損失を最小限に抑える必要がある。そのため、誘電体損失の少ない低損失材料の開発が重要となる。具体的には、フッ素樹脂やポリイミドなどの誘電体材料の改良や、新しい誘電体材料の探索が行われている。また、超伝導材料を導体として用いることで、導体損失をゼロに近づける研究も進められている。
- ・**高周波特性の向上:** 量子ビットの制御には、GHz 帯域のマイクロ波信号が用いられるため、フラットケーブルの高周波特性が重要である。特に、特性インピーダンスの安定性や、反射損失の低減が要求される。そのため、精密なインピーダンス制御技術や、高周波シミュレーション技術の開発が進められている。フラットケーブルの使用においては、信号間のクロストークが大きな課題と考えられているが、フラットケーブル自体のクロストークよりも、フラットケーブル両端のコネクタ部分での信号が高密度であり、電磁波遮蔽が難しいことから、コネクタ部分でのクロストーク特性の改善が必要と考えられる。
- ・**極低温環境下での信頼性確保:** 超伝導量子コンピュータは、絶対零度に近い極低温環境下で動作するため、フラットケーブルの信頼性確保が重要である。特に、熱収縮による断線や、絶縁破壊を防ぐための対策が必要である。このため、熱膨張係数の小さい材料の選定や、応力緩和設計、絶縁材料の耐電圧特性の評価などが重要となる。
- ・**多層化技術の開発:** 量子ビット数の増加に伴い、フラットケーブルの信号線数も増加する。そのため、多層化技術を用いて、フラットケーブルの高密度化を図る必要がある。多層化においては、層間絶縁の信頼性や、クロストークの抑制が課題となる。そのため、高精度な積層技術や、シールド構造の最適化などが重要である。
- ・**コネクタ技術の開発:** フラットケーブルと量子チップや制御回路を接続するためのコネクタ技術も重要である。コネクタは、信号損失を最小限に抑え、かつ極低温環境下で信頼性の高い接続を実現する必要がある。小型・高密度なコネクタの開発や、超伝導材料を用いたコネクタの研究が進められている。

超伝導量子コンピュータにおけるフラットケーブル利用の課題

- ・**特性インピーダンスの制御:** フラットケーブルの特性インピーダンスは、ケーブルの形状や材料、周囲の環境に依存する。特性インピーダンスが設計値からずれると、信号の反射が発生し、量子ビットの制御

精度が低下する可能性がある。特性インピーダンスを決定する物理パラメータは、極低温下において変化する可能性もあり、材料や構造設計を十分に行う必要がある。

・**クロストークの抑制:** フラットケーブル内の信号線間でクロストークが発生すると、量子ビットの制御信号が誤って伝送される可能性がある。そのため、クロストークを抑制するための設計や、シールド構造の最適化が重要である。

・**極低温環境下での信頼性:** 極低温環境下では、材料の熱収縮や、絶縁材料の劣化などが発生する可能性があり、極低温環境下での信頼性を確保するための材料選定や、設計が重要である。ケーブルベンダとしては、極低温環境の用意やメンテナンスを行うことは、製品開発上、コスト高が懸念される事項であり、容易に試験可能な共有環境の整備が重要である。

・**コスト:** 高性能なフラットケーブルは、製造コストが高くなる傾向があり、元々低コスト化の狙いに反する可能性がある。性能とコストのバランスを考慮した材料選定や、製造プロセスの最適化が重要である。

以上より、超伝導量子コンピュータの発展には、高性能なフラットケーブルの開発・適用が不可欠と考える。今後は、低損失材料の開発、高周波特性の向上、極低温環境下での信頼性確保、多層化技術の開発、コネクタ技術の開発などが、より一層重要になると考えられる。これらの技術開発が進むことで、量子ビット数の増加や、量子コンピュータの性能向上に大きく貢献することが期待される。

コネクタ

超伝導量子ビットは、量子計算に用いる 2 準位のエネルギー間隔に対して熱エネルギーを十分小さくして準位間の熱励起を防ぐため、10 mK 程度まで冷却できる希釈冷凍機内で動作させる必要がある。また、超伝導量子ビットの操作と読出しの信号は、一般的に 5-10 GHz 程度の高周波が用いられる。そのため、室温の高周波エレクトロニクスから希釈冷凍機の最低温度部位に設置した超伝導量子ビットまでの高周波信号の伝送のためには、一般的には高周波ケーブルを希釈冷凍機内に通す必要がある。

一方で、希釈冷凍機の真空断熱容器（缶）の内部は、パルスチューブ冷凍機で冷やすことのできる 50 K と 4 K のステージ、分留器を設置する 0.7 K のステージ、混合器が設置され最低温度に到達する 10 mK ステージ等の温度の異なるステージが複数存在する。各温度ステージにおいて室温からの熱雑音光子を減衰させるために減衰器を設置する目的から、高周波ケーブルはそれらのステージを貫通する 1 本のケーブルを用いるのではなく、各ステージ間を減衰器によって複数本接続することで構成されている。ステージ間をケーブルで接続し減衰器等の各種高周波コンポーネントと接続するために、高周波コネクタがコネクタライズされたセミリジッド同軸ケーブルが用いられる。

希釈冷凍機内の高周波配線用のコネクタは、超伝導量子ビットやジョセフソンパラメトリックアンプの典型的な動作周波数をカバーする SMA 規格（DC から 18 GHz まで使用可能）が用いられることが多い。一方で、よりサンプルに近い部位（例えば PCB 基板上のレセプタクル）では、サイズの関係から SMA より小さな SMP 規格のコネクタが用いられる。サンプルに近い部位のコネクタやアダプタに関しては、超伝導量子ビット（特に磁束量子ビットや周波数可変型の量子ビット）が磁気ノイズに対して脆弱なため、非磁性のコネクタを用いることが望ましいとされる。非磁性の SMP コネクタについては、少なくとも日本国内の研究機関ではドイツの Rosenberger 社製のコネクタの使用実績が多い状況である。



図5 Rosenberger 社製の SMP コネクタ（左）とアダプタ（右）

SMP よりさらに小型なコネクタが求められる場合は、例えば SMPM 規格のコネクタが用いられる。

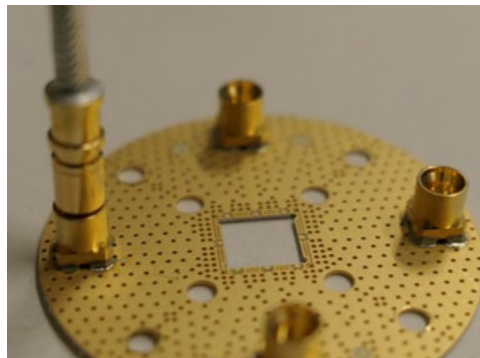


図6 PCB 基板上に取り付けた JAE 社製の SMPM コネクタとアダプタ

ここまで高周波のコネクタについて述べてきたが、周波数可変型の量子ビットの制御、ジョセフソンパラメトリックアンプや冷凍機内スイッチの駆動、HEMT アンプへの電源供給等のために、冷凍機内に直流線を引く必要がある。直流線用のコネクタにも様々な規格があるが、冷凍機外や冷凍機の真空断熱容器のハーメチックシールにはスイスの Fischer 社製のコネクタ（Fischer コネクタ）が用いられる例が多い。また、冷凍機内でより配線密度の高い直流線コネクタを用いる際は、マイクロ D-sub コネクタが用いられることがある。マイクロ D-sub コネクタの製造企業としては、米国の Cinch connectivity solutions 社や TE Connectivity Aerospace Defense and Marine 社が知られている。



図7 TE Connectivity Aerospace Defense and Marine 社製のマイクロ D-sub コネクタ

高周波コンポーネント

超伝導量子ビットを用いた量子計算（極低温マイクロ波制御・測定）のためには、様々なマイクロ波コンポーネントが必要となる。以下、項目ごとに主なサプライヤーの状況について述べる。

マイクロ波減衰器

熱雑音光子の減衰のために冷凍機内の各温度ステージに設置して用いられる。室温用の減衰器のサプライヤーは米国の Mini-Circuits 社や日本の東光電子株式会社等数多くあるが、低温で動作保証された SMA 規格の減衰器は米国の XMA Corp.社や API Technologies 社製品の使用実績が多い。



図 8 API Technologies 社製の SMA マイクロ波減衰器

サーキュレータ、アイソレータ

サーキュレータは量子ビットの反射測定を行う際に必要となり、アイソレータはアウトプットラインを逆方向に伝搬するノイズをカットするために用いられる。磁性材料を用いたコンポーネントであり、磁性に温度依存性があるため冷凍機内では低温動作が保証された製品を使用することが望ましい。サプライヤーとしては米国の QuinStar Technology 社とスウェーデンの Low Noise Factory 社の製品の使用実績が多いが、日本通信機株式会社からも 4 K まで動作保証されたアイソレータが販売されている。



図 9 日本通信機社製の低温アイソレータ

方向性結合器

方向性結合器は 2 本の伝送路の間を所定の結合度で結合させたデバイスであり、2 本の伝送路の入出力端子の合計 4 端子のうち 1 端子を終端することで、端子 A と B の入力を合波して端子 C から出力するデ

バイス、またはその反対方向の動作として端子 C から入力した高周波を端子 A と B に分けて出力するデバイスとして動作する。前者のケースではマイクロ波信号の合波のために、後者のケースではモニタリングのために用いられる。サーキュレータと異なり室温用の製品が極低温でも動作する場合が多いため、サプライヤーの選択肢は比較的多い。例えば、米国の Quantum Microwave 社の製品の使用実績がある。

バイアス T

高周波信号と DC 信号の合成のために用いられる。従来、米国の API Technologies 社、Mini-Circuits 社製の製品の使用実績があったが、米国の Marki Microwave 社製の製品が極低温環境下で問題なく使用できることを確認した。特に Marki Microwave 社の製品は他社の製品に比べて筐体のサイズが小さく、集積化に有利と考えられる。

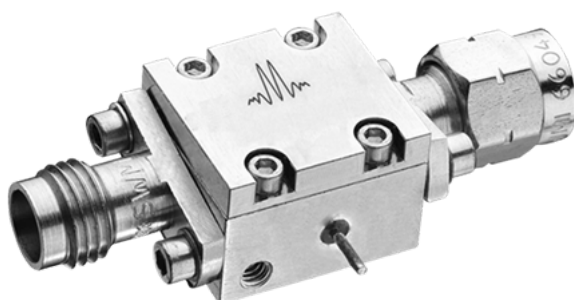


図 10 Marki Microwave 社製の小型バイアス T (型番 BT-0026)

RF フィルタ

入力信号の高調波抑制(ローパスフィルタ)や HEMT アンプからのノイズ抑制(ハイパスフィルタ)等のために用いられる。米国の RLC Electronics 社や Mini-Circuits 社、K&L Electronics 社が主なサプライヤーとして知られている。日本の総合電子は多くの海外の高周波コンポーネントメーカーの代理店となっているが、RF フィルタについては自社製品も存在しており、少なくともバンドパスフィルタについては国内の研究機関で使用実績がある。



図 11 Mini-Circuits 社製のバンドパスフィルタ (型番 VBF-7331+)

赤外光除去フィルタ

エコソープ(電波吸収体)を充填したフィルタであり、赤外の周波数のノイズによる量子ビットの超伝導体における準粒子励起を抑制する目的で用いられる。研究者が自作したフィルタが用いられる例が多かったが、米国の XMA Amphenol 社や川島製作所から製品として販売されるようになってきた。

冷凍機

超伝導およびスピン量子ビットの動作には希釈冷凍機温度（10 mK から 100 mK 程度）が必要である。またここでの主題ではないがダイヤモンド窒素・空孔センターを用いた量子ビットも数 K 程度の低温で動作させることが多く、センシング応用も含め量子系のデバイスの多くは低温環境が必要である。その中でも量子コンピュータの実現に重要な希釈冷凍技術は 1952 年に H.ロンドンにより提唱され、1965 年に実用化された。また 1970 年代には商用機が販売されるようになり、広く物性・素粒子分野を中心として利用されてきた。その冷凍原理ではまずヘリウム 3 を液化することから始まる。その必要な温度は 1.5 K 程度である。従来、液体ヘリウム 4 を真空断熱容器（デュア）に充填し、それを小型のポットにニードルバルブを通じて移送し、減圧（排気）することで 1.5 K の温度を実現していた。昨今では、GM(Gifford-McMahon)またはパルスチューブ（パルス管）型機械式冷凍機が 4 K ステージ（多くの場合 3.5 K 程度）の実現に広く使われるようになった。この方法では 2 段式パルスチューブ冷凍機を用い、その 1 段目で 50 K 程度、その後 2 段目で 3.5 K まで気体ヘリウム 3 を冷却した後、Joule-Thomson 弁により JT 膨張させ液化する。この液化方法はいくつかのバリエーションがあるが詳述は避ける。

パルスチューブ型機械式冷凍機を用いると液体ヘリウムをデュアに充填する作業も不要となったため、初期投資は増えるがより使いやすい装置になっている。具体的なサプライヤーとして、Bluefors Oy、Oxford Instruments plc、Leiden Cryogenics BV、Maybell Quantum Industries Inc.、Zero Point Cryogenics、アルバック・クライオ株式会社などがあり、特に量子コンピュータ用途をターゲットとしたスタートアップ企業の活動や各社の新機種投入も盛んになっている。

また液体ヘリウムを用いる希釈冷凍機はその構造から実験空間を大きくすることが困難であることに對し、パルスチューブ冷凍機を利用した無冷媒希釈冷凍機の場合その構造の簡便さから実験空間を大幅に大きくすることができる。これは多くの配線を必要とする量子コンピュータには必須の技術となっている。最低温度の冷却ステージ（混合器プレート、Mixing chamber プレート）は混合器（Mixing chamber）と呼ばれる容器で冷却されている。その混合器には液体ヘリウム 4 と液体ヘリウム 3 が混合された状態で完全に満たされており混合器中には気体・液面は存在しない。ただしその密度の差から、容器下層に僅かに液体ヘリウム 3 が溶け込んだ液体ヘリウム 4 が存在し、上層には液体ヘリウム 3 が分離して存在する状態となっている。ここで重力場中で上方・下方を定義する。具体的には液体ヘリウム 3 は僅かに（約 6.6 %）下層の液体ヘリウム 4 の中に溶け出して（「蒸発」して）おり希薄相（He-3-poor phase）と呼ばれる。上層は 100 %の液体ヘリウム 3 で濃厚相（He-3 rich phase）と呼ばれる。この溶け出すことを「希釈」と表現することから、希釈冷凍機と呼ばれる。その約 6.6 %のヘリウム 3 を含む希薄相の混合液は 0.7 K 程度に温度コントロールされた上方の分留器（still あるいは still chamber、distilling chamber）に移送される。その分留器で希薄相の液面が形成されており、沸点の差から選択的にヘリウム 3 を排気することが可能となっている。これはこの温度（0.7 K）ではヘリウム 3 の蒸気圧はヘリウム 4 よりも 3 桁大きく、排気される気体のヘリウム 3 の濃度は 90 %ほどに達するためである。その排気には室温部に設置されたヘリウム 3 循環ポンプを用いる。排気されたヘリウム 3 は配管を通じて、前記の方法で液化された後、最終的には混合器中の濃厚相に補充される。ここで、分留器中で選択的にヘリウム 3 を排気す

るため、混合液（希薄相）中の液体ヘリウム 3 濃度は 1 %程度となる。よって、連結された混合器中の希薄相の液体ヘリウム 3 の濃度が下がり、それを補うため濃厚相からの液体ヘリウム 3 が希薄相に「蒸発」する。ここでその「蒸発」による潜熱で冷却効果が得られる。この動作を循環させることが希釈冷凍機の原理である。また、室温に設置されるヘリウム 3 循環ポンプからの気体ヘリウム 3 は密閉された管中で 2 段式パルスチューブ機械式冷凍機の 1 段目（50 K ステージ）、2 段目（4 K ステージ、約 3.5 K）で冷却され、JT 弁を通じて液化される。さらに分留器で冷却されつつ混合器に向かう。分留器と混合器の間では、前記の希薄相の液体ヘリウムが上方の分留器に向かうラインとの間で、連続型熱交換器（continuous flow heat exchanger）、ステップ型熱交換器（step heat exchangers）などを用いて熱交換を行っている。この熱交換で混合器から分留器に向かう希薄相の液体は 10 mK 程度から 0.7 K 程度まで加熱され、逆に混合器に向かうヘリウム 3 は冷却される。希釈冷凍機製造の最も難しい技術要素はこの熱交換の部分である。その熱交換効率が最低到達温度を、ヘリウム 3 の循環レートが冷凍能力を決めることとなる。超伝導量子ビットを含む多くの量子デバイスの制御・計測には振動は大きな障害・ノイズ源となる。利用されるパルスチューブ冷凍機は数マイクロメートル程度の振動を発生するため、コールドヘッドと 4 K ステージの間に太い銅網線（copper braids）を多数接続するなどの方法で、冷却能力を維持しつつ除振対策が施されている。この方法により 100 nm 程度以下まで振動が低減できる。一方無冷媒希釈冷凍機の最低到達温度は 10 mK 弱程度にとどまる。これは前記の振動が主な要因の一つである。従来型、つまり液体ヘリウムを用いる希釈冷凍機の到達温度、2 mK よりかなり高い温度であるが、量子コンピュータ用の視点から見ると十分な温度である。

最近の希釈冷凍機の方角性

従来の冷凍機は、その原理、製造、管理上の理由から円柱状の形状が通例であった。しかしながら、冷凍機の大形化に伴い、操作上の理由から従来の円柱型から六角柱型、矩形型といった冷凍機の形状に推移していくと考えられる。これは、冷凍機の大形化により、冷凍機の真空断熱を維持する OVC（Outer Vacuum Can）も大形化すると冷凍機の形状がこれまで通り円柱形では人力で高重量の OVC を完全に取り外すことが困難になるためである。そのため、OVC を完全に取り外すことなく冷凍機の運用が可能となる仕組みが必要となる。OVC に扉をつけることにより、大形で高重量の OVC を取り外すことなく冷凍機内部にアクセス可能となり、冷凍機を取り回しの利便性を損なうことなく大形化が可能になる。例えば Maybell Quantum は小型および大形の矩形型の希釈冷凍機を発表・市販している。このような装置を使えば、部品配置ケーブルの取り回し、効率的なシステム作製に有効であろう。また、1000 量子ビットレベルあるいはそれを超えるような量子コンピュータについては、多数のパルスチューブ冷凍機の実装により大形の 4 K ステージを実現し、複数の希釈冷凍機ユニットを並列搭載させることで大きな冷凍能力・空間を実現する試みもなされており、実際に Bluefors Oy から市販品が発表されている。

将来の希釈冷凍機の方角性

従来の手法の延長上では低温部品群の冷却や消費電力も含めると、より大規模な量子コンピュータの実現には困難が多い。まず最低温の 10 mK の温度を十分な冷凍能力で実現するには、希釈冷凍機の手段の

みが現在の技術では有効である。またそのユニットを単純に大型化することは装置として効率的ではなく、並列化して冷凍能力を増す方向が適切であろう。一方 4 K ステージの実現には機械式の冷凍機を並列化するよりも、液化機などの技術を用いて kW 級の冷凍能力を確保することも考慮されつつある。それが実現すれば量子ビット制御や増幅器などのクライオエレクトロニクス、そして多数のケーブルの実装において大きなブレークスルーとなりえるであろう。そのような冷凍方法を用いても消費電力の課題は残るであろうが、量子コンピュータがスーパーコンピュータと同等に（場合によっては併設）設置され広く社会に貢献できる将来描像が実現すれば、スーパーコンピュータ（MW 級）と同等の消費電力は許容されるかもしれない。

制御システム

将来的に量子コンピュータを構成するにあたり、制御エレクトロニクスの核心となる技術要素は、集積度の向上、筐体間の同期性能（高周波・システム）、誤り訂正機能（復号器, Decoder）の実現方法になると予想される。

1000 量子ビットを想定して既存製品を導入した場合、制御エレクトロニクスを懸架する 19 インチ架は 10 台以上が想定され、架台のみで希釈冷凍機を取り囲むことになる。装置間の距離は信号損失につながることから、広範囲に制御エレクトロニクスを配置することは現実的ではない。大規模量子コンピュータを実現するには、制御エレクトロニクスの集積度を向上し、単位体積当たりの信号数を増加させる必要がある。

超伝導量子コンピュータを構成する量子ビットは、各々が異なる周波数の共鳴周波数を持ち、その状態制御のために、制御エレクトロニクスから各々の共鳴周波数に対応した制御信号を送出する必要がある。これらの高周波信号は、量子回路の実行のために、各々が高周波的に同期している必要がある。一般的な制御装置は参照信号源を基準とした通倍周波数にて動作するが、量子コンピュータの制御においては、それぞれ異なる周波数で動作する制御装置群が同期して動作する必要がある。また、量子コンピュータはユーザーが入力する量子回路を実行する必要がある。量子回路は、各々の量子ビットに対して、どのタイミングでどの種類の量子ゲートを実行するかが記述されたものであり、この情報を基に制御エレクトロニクス群はシステム同期を取って動作する必要がある。システム同期が取られていない場合、異なる量子ビット間で実行ゲートの順番の入れ替わりや、ゲートの衝突が発生し、量子回路の実行が極めて困難になる。

誤り訂正符号の実装には復号器の実装が不可欠である。復号回路は、誤り訂正符号実装時に符号化された量子ビットに対して、検査ビットから得られる誤りシンδροーム（誤り箇所を特定するための情報）を収集・解析し、どの量子ビットにてどの種類の誤りが発生したかを推定し、量子ビットのリセットや反転指示を行うものである。

制御エレクトロニクスは、通常、モジュール、シャーシ、ラック、全体システムの規模の構成となる。



図 12 モジュールの例 (Keysight M5000 Series PXI module)

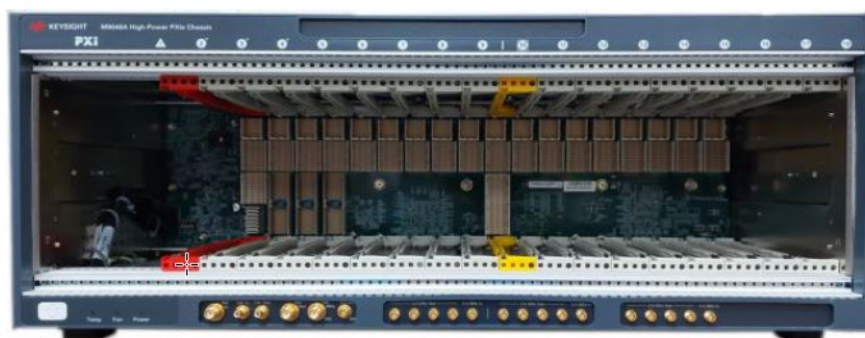


図 13 シャーシの例 (Keysight M9046A-QS1)



図 14 ラックの構成例 (Keysight QCS)

制御エレクトロニクスでは、通常、単一シャーシ内にてモジュール間のシステム動作が行われているが、量子コンピュータの大規模化に従い、複数シャーシ間でのシンドローム情報の伝達が必要になる。誤り訂正向けの復号器の実現には、復号器へのシンドロームデータ集約方法、誤り特定アルゴリズムの実装位置・実装エンジンを検討する必要がある、量子誤り訂正だけでなく、コンピュータシステムとしての知見が必須となる。制御エレクトロニクスのベンダは、高周波測定のための制御装置を設計・製造することは得意であるが、コンピュータシステムの専門家ではないため、他社協業を進める必要がある。

基本構成

量子コンピュータ用の制御エレクトロニクスは、全デジタル化が大きく進展し、各社ともに DDS（デジタル直接合成発振器: Direct Digital Synthesis）の採用が進んでいる。Keysight 社が QCS（Quantum Control System: 商品名）、Quantum Machines 社が OPX1000（商品名）として製品化している。10 GS/s 以上の RF DAC（ラジオ波デジタル・アナログ変換回路）を搭載し出力信号を生成し、後段に低域通過フィルタや補間フィルタを備えることにより出力波形の不要周波数成分を除去し、量子コンピュータ向けにノイズ成分を抑制した信号生成を行っている。DDS により不要な高次高調波等も抑圧可能であり、アナログ的な局所信号発振器の漏話も生じないことから、今後はアナログミキサーを用いた方式から DDS 方式への転換が進むものと考えられる。RF DAC は、プロプラエタリの自社 ASIC（Application

Specific Integrated Circuit) を搭載するか、Analog Devices 社の無線通信向け IC が用いられることが多い。DAC の前段は複数の FPGA (Field Programmable Gate Array) から構成されたデジタル周波数変換回路 (変調回路) から構成されており、200 MHz 相当で動作する FPGA の並列動作により、DAC へのデジタル信号が生成されている。

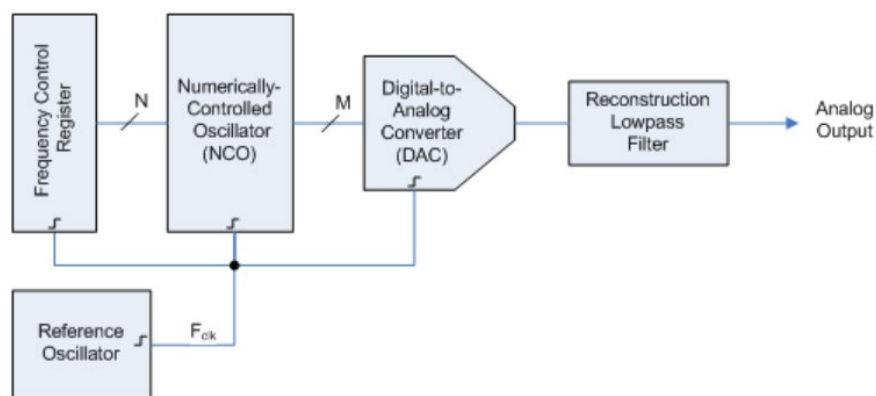


図 15 Direct Digital Synthesis の概念図 [19]

信号生成方法の違い

おおよその信号発生装置は出力信号をあらかじめ生成し、メモリ保存・呼び出しにて RF DAC に送信している。Quantum Machines 社の信号発生器は、メモリ保存・読出し手法を用いておらず、RF DAC へのデジタル信号出力を FPGA 内部にて直接生成するという、波形生成の柔軟性が非常に高いものと推測される。動的な量子回路へのゲート追加や乱択評価法のように実行毎にランダムな量子回路が必要な場合には利点があると考えられる一方で、実際には実行時間に大きな違いは無いとの評価結果もある [20]。下記の図中の RFSoc 評価基板の実行時間が他より速いのは、著者の研究チームが、Qibo (制御ソフトウェア群) と RFSoc 評価基板に最適化を行っているためと推定される。

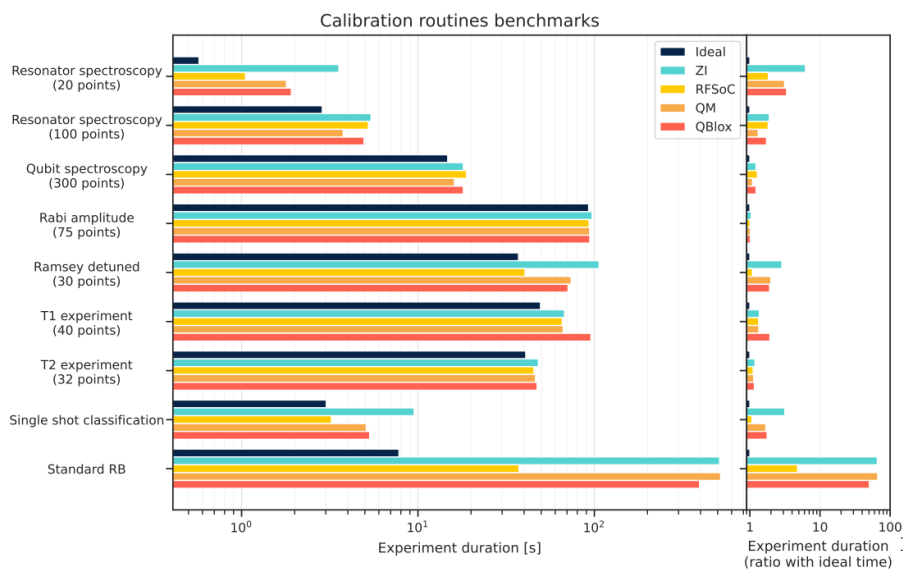


図 16 各ベンダの実行時間の比較 [20]

諸元比較

大規模量子コンピュータとして、1,000 量子ビット規模の超伝導量子コンピュータにおける各社の主要となる仕様を表 3 に記載する。

表 3 Key Specifications

	Required	A	B	C	D
Output Signal					
Power	≥ 10 dBm	≥ 8 dBm	≥ 4 dBm	≥ 10 dBm	≥ 10 dBm
Baseband	≥ 1 GS/s	4.8 GS/s	4 GS/s	2 GS/s	4 GS/s
Freq.	4-8 GHz	DC-16GHz	1-12GHz	0.05-10.5GHz	0.2-8.5GHz
Noise Floor	-153 dBm/Hz	-157 dBm/Hz	-156 dBm/Hz	-155 dBm/Hz	-153 dBm/Hz
Phase Noise	< -120 dBc/Hz	-130dBc/Hz	-128dBc/Hz	-129dBc/Hz	-120 dBc/Hz
DAC (Voltage)	> 14 bit	14	16	16	16
Product Level		already	prototype	prototype	proposal
# of racks		10	3 (Min)	3 (Min)	3 (Min)

出力信号強度

1000 量子ビット機では希釈冷凍機の大型化や複数の 19 インチ架に懸架された制御エレクトロニクスを使用するため、希釈冷凍機と制御エレクトロニクスを近距離に配置することが難しくなることが想定される。このため制御装置間の制御信号の伝送損失が大きな問題となる。配線距離は 4 m 超になることが想定され、制御エレクトロニクスの出力電力は、出力電力として 10 dBm 以上が必要とされる。(従来 0 dBm 程度が基本仕様)

4 m 超の理由: ラックの高さ 2 m の上下移動 +KIDE のクリアランスを考慮した横方向距離 2 m

ノイズフロア

熱雑音要求は量子コンピュータの性能要求に依存する。Noisy-intermediate-scale quantum 計算においては、極低温下における典型的な値として -213 dBm/Hz であり、室温におけるノイズフロアは以下のように考えることができる。

$$10 \log_{10} (k_B T_e / (1 \text{ mW/Hz})) + 60 \text{ dB} \approx -153 \text{ dBm/Hz}$$

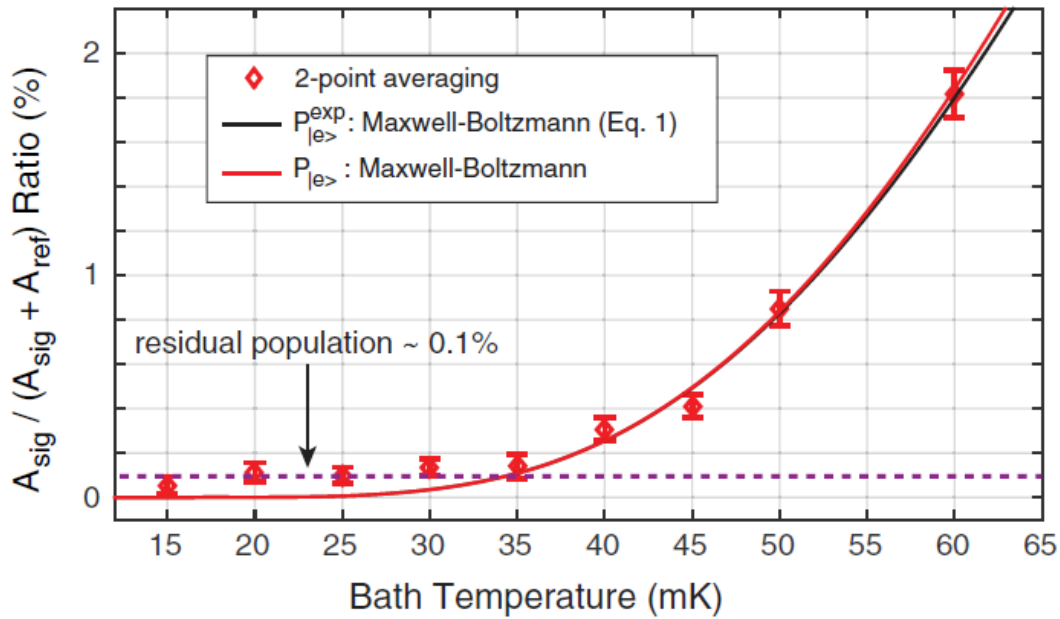


図 17 [21]

またノイズフロアは、制御エレクトロニクスの内部使用デバイス固有の数値を持つと想定され、出力信号が送出されていない場合においても、ノイズとして考慮する必要がある。少数量子ビットの超伝導量子コンピュータの場合には影響が少ないが、量子ビットの増加と比例して信号が活性状態になくても、常に希釈冷凍機を温める熱がケーブルを通じて伝搬することに注意する必要がある。これに対しては、無信号状態時には出力ポート端に ON/OFF スイッチを設けて、熱流入の遮断する機能を開発するベンダもあった。これは冷凍機を用いる量子コンピュータに対して共通の問題であると考えられ、将来的に量子コンピュータに特化した特殊仕様となるとみられる。

位相雑音

量子コンピュータの評価指標である忠実度が位相雑音に制限されないよう、制御エレクトロニクスの仕様を定義する必要がある。位相雑音は数値的な概算では、単側波帯雑音にて 10 kHz 偏移時に -100 dBc/Hz 以下が必要であると考えられ[22]、要求仕様として-120 dBc/Hz が期待される。

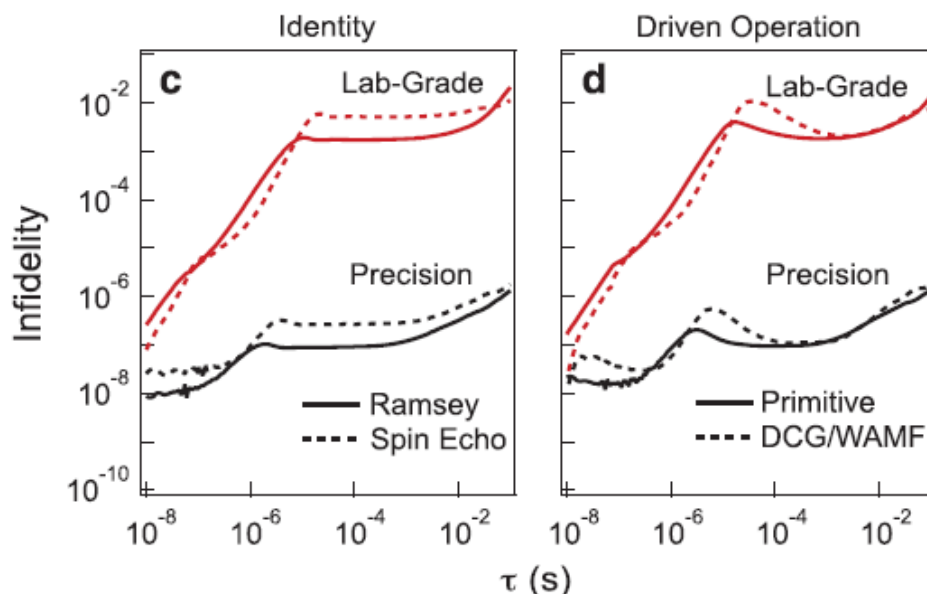


図 18 Phase Noise と不忠実度の関係 [22]

能動リセット

測定とフィードフォワード操作を用いた量子ビットの初期化や、誤り訂正機能の実現に向けて、ベンダ各社は能動リセットの機能を実現しつつあり、シャース間のデジタル通信機能を備えることにより、他シャースにて観測された情報を元に、反転制御信号パルスの送出（条件付きリセット）を行う機能が実装されつつある。現状、信号の入力から、反転信号の送出までは 150 ns から 800 ns が実現されている。

対して、 $|f0\rangle \rightarrow |g1\rangle$ 遷移（または $|20\rangle \rightarrow |11\rangle$ 遷移）によるリセット手法を備える制御エレクトロニクスも存在する。この実現には、読出制御信号の出力において、広いアナログ帯域を必要とする。

高性能計算活用

将来の超伝導量子コンピュータの耐故障量子コンピュータの実現のために、制御エレクトロニクスと HPC（高性能計算, High Performance Computing）を連携動作させるべく、各社共に開発が開始されている。既に Quantum Machines 社は、NVIDIA 社と連携して、NVIDIA DGX Quantum（商品名）を投入している。耐故障量子コンピュータのうち、非クリフォード操作が支持されていない誤り訂正符号を採用する場合においては、低レイテンシのフィードフォワード動作が必要であると考えられる。フィードフォワード動作とは、制御エレクトロニクスが誤りシンドローム（誤りに関するパリティ情報）を収集し、誤り情報に基づく適切な制御（非クリフォードゲート）操作を制御エレクトロニクスに返すまでを指す。オンラインにて誤り訂正を行う場合、少なくとも非クリフォード演算の実行から次の非クリフォード演算の実行の間までに信号処理を完了し、信号処理結果に応じた非クリフォード操作の動作を変化させるフィードフォワード動作を実行する必要がある。この非クリフォード操作の間隔は量子コンピュータのクロック時間に対応し、最短で数十マイクロ秒程度である。この信号処理に必要な時間が短くなるほど、量子回路の実行速度が改善する。本制約を満足するためには、装置間の通信レイテンシを削減する必要がある。HPC では、汎用インターフェースとして、イーサネットや

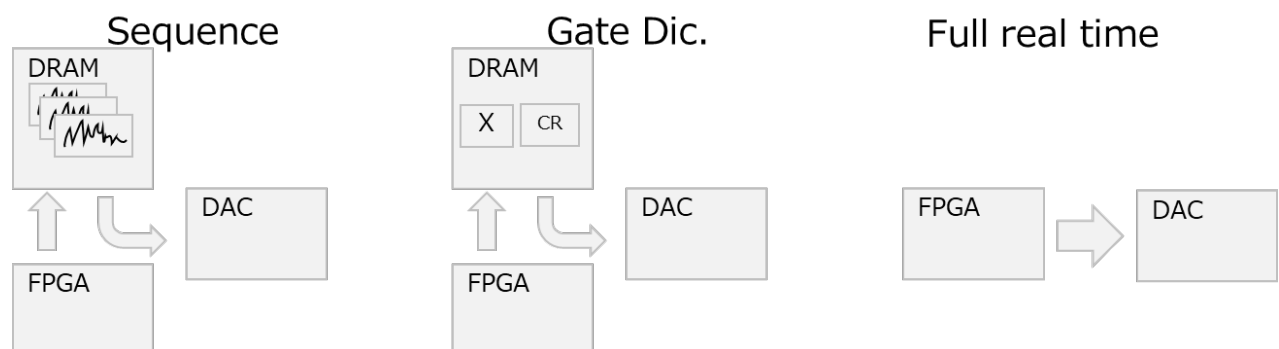
InfiniBand が用いられており、どちらかというと高スループット、中レイテンシの通信が行われている。量子誤り訂正の実行においては、データの通信量は非常に少なく、(ルーティング等で)通信経路の柔軟性を確保する必要があまり無いため、低レイテンシに特化した固有のインターフェースを実現する必要があると考えられる。

誤り訂正復号器(信号処理回路)の実現に関しても、低レイテンシかつ高スループット性能が求められる。誤りを生じた量子ビットの同定は量子ビット数の増大と共に計算量が爆発的に増加するため、GPU 活用が自然な流れだと考えられる。しかしながら、GPU は高スループット重視の設計であり、量子誤り訂正にフィットするかは疑問が残る。逐次処理の観点から、FPGA による復号器実現も選択肢の一つである。基本的に FPGA の動作周波数は CPU や GPU 比較して 1/10 以下であるが、最適化したパイプラインを設計することで、低レイテンシ性能を実現できる可能性が高い。究極的には専用 ASIC となるが、現状の技術の流動性や、ASIC 開発コスト・投資回収を考えると現実的ではない。

表 4 個別諸元

	A	B	C	D
Output Signal				
Power	≥ 8 dBm	≥ 4 dBm	≥ 10 dBm	≥ 10 dBm
Baseband	4.8 GS/s	4 GS/s	2 GS/s	4 GS/s
Freq.	DC-16GHz	1-12GHz	0.05-10.5 GHz	0.2-8.5 GHz
Noise Floor	-157 dBm/Hz	-156 dBm/Hz	-155 dBm/Hz	-153 dBm/Hz
Short term	-130dBc/Hz	-128dBc/Hz	-129dBc/Hz	-120 dBc/Hz
Long term	under test	< 1 degree drift @ 10 GHz over 1 hrs; < 2 degrees drift @ 10 GHz over 24 hrs (not clear about the test setup)	< 10 mrad (0.57 degree) @ 5 GHz over 12 hrs (not clear about the test setup)	< 0.5 degree rms within 3600s
Phase Noise	-130dBc/Hz	-128dBc/Hz	-129dBc/Hz	-120 dBc/Hz
DAC (Vol)	14	16	16	16
Product Level	already	prototype	prototype	proposal
# of racks	10	3 (Min)	3 (Min)	3 (Min)
FPGA Capability				

IP 共存	No (Currently)	?	?	Yes
Full custom	Yes (no guarantee)	?	?	YES with support
FPGA	VU35P+ASIC EOL (could be OK)	RFSoc	VU13P+ASIC	AMD Versal
Waveform generation				
Sequence (in Mem.)	Yes	Yes	-	Yes
gate dictionary	Yes	Yes	not need	Yes
Full real time	No	?	Yes	YES (Sw/FPGA Reconfig)
Reference Synchronization				
Global Ref.	2.4 GHz	2 GHz	2GHz	TBD
Distribution	daisy chain		Tree	Tree
System Synchronization				
Scheme	Centralized trigger	Tree-type distribution	unknow	message exchange
Software				
OpenSource	under consideration	OSS	OSS	OSS
License		Apache 2.0	Apache 2.0	Apache 2.0



最近の技術トピック

材料・微細加工・デバイス損失

薄膜材料

超伝導量子ビットのエラー率は、金属表面、基板、金属・基板界面、金属・空気界面、自然酸化膜に存在する誘電損失や TLS 欠陥によって強く制限されている。近年は Ta 系材料で長いコヒーレンスが得られている一方、酸化膜、結晶相、微量不純物、水素吸収、基板との界面状態などが性能を左右することも明らかになっている。さらに大規模化に向けては、単一素子の最高性能だけでなく、ウェハ全面での均一性、歩留まり、室温評価による事前選別、CMOS 互換プロセスとの整合性が重要になる。そのため、材料物性、表面化学、微細加工適性、量産性を同時に満たす薄膜材料基盤を確立することが目的となっている。

Ta、Nb、TiN、NbTiN、NbN、Rhenium、granular Al、NbSe₂、Al₁₅Nb-Al など、多様な超伝導薄膜を対象に、共振器や量子ビットを用いたマイクロ波損失評価が進められている。Ta では α 相と β 相、シード層、Ta/Al 二層膜、表面酸化膜の形成・除去・封止、水素混入、貴金属カプセル化、分子パッシベーション、基板リセス加工などが検討されている。grAl、NbN、NbSe₂ では高運動インダクタンス素子や fluxonium 用インダクタへの応用が扱われ、TiN や NbTiN では成膜条件、結晶性、化学量論と Q 値の関係が調べられている。加えて、200 mm、300 mm ウェハでの CMOS 互換製造、室温抵抗と低温量子特性の相関、熱処理や表面分析による界面改善を通じて、低損失性と製造再現性の両立が追求されている。

ジョセフソン接合

ジョセフソン接合は、量子ビットの周波数、非線形性、EJ、損失、さらには二量子ビットゲートの設計余裕を決める中核素子である。従来主流の Al/AlO_x/Al 接合は作りやすく実績も豊富だが、アモルファス AlO_x 障壁に由来する TLS、接合抵抗のばらつき、ウェハ内・チップ間の周波数分散、プロービングや後工程処理の影響が、大規模化の障害となる。特に多数の量子ビットを配置する場合、周波数衝突を避けながら高忠実度ゲートを実現するには、接合パラメータの事前予測と後工程調整が不可欠である。目的は、低損失で再現性が高く、必要に応じて調整可能な接合技術を確立することである。

ABAA による AlO_x 接合抵抗の精密トリミング、ABAA 条件の探索、処理後の接合構造や化学状態の変化、量子ビット周波数やコヒーレンスへの影響が調べられている。室温プロービングのバイアス値や測定方法が低温性能に与える影響、物理寸法補正による接合面積ターゲットティング、XRR による Al/AlO_x/Al 接合の厚さ・密度・粗さ解析も扱われている。さらに、NbN/AlN/NbN、Nb/ZrO_x/Nb、Al/AlO_x/NbN、Al/AlO_x/TiN などの代替材料接合、ALD やエピタキシャル成長による障壁形成、vdW 材料や単結晶 Si 障壁を用いた接合、Sn-InAs、Nb-InAs、Ge/SiGe など半導体ハイブリッド接合が検討されている。これらは、低 TLS 化、高温動作、電圧可変性、微細化、ギャップエンジニアリング、merged-element 型量子ビットの実現を狙った研究である。

微細加工・実装

量子ビット単体の T1 やゲート忠実度が向上しても、多数量子ビット化では、配線密度、信号ファンアウト、クロストーク、熱流入、パッケージング、チップ間接続、モジュール間結合が新たな律速要因となる。特に表面コードや LDPC コードに基づく大規模システムでは、2 次元チップ上だけで制御線・読出し線を引き回すことが困難になり、3D 集積やフリップチップ、TSV、バンプ接続が重要になる。一方で、エアブリッジ、バンプ、追加リソグラフィ、接合工程の複雑化は、界面汚染や誘電損失を増やす可能性がある。目的は、低損失性を保ったまま高密度配線とモジュール化を可能にする実装基盤を確立することである。

フリップチップ接合、インジウムマイクロバンプ、Nb/In バンプ、TSV、スペーサ、キャリアチップ、3D 信号ルーティングなどを組み合わせた実装技術が検討されている。エアブリッジについては、グレースケール電子線リソグラフィや Nb を用いた低損失構造が研究され、多数のブリッジを含む共振器や真空ギャップ容量としての応用が評価されている。さらに、液体金属によるチップ間接続、液体金属印刷、フレックスプリントケーブル、低熱流入インターコネクト、3D 集積 Purcell フィルタ、オンチップ小型フィルタ、シリコンマイクロマシニングによるフリップチップギャップ制御も扱われる。200 mm、300 mm ウェハの foundry 型プロセスと組み合わせ、実装工程が T1、Q 値、信号伝送、読出し、熱管理に与える影響を評価し、拡張可能な量子プロセッサ構造を実証しようとしている。

TLS・欠陥・ノイズ

超伝導量子ビットの緩和時間、周波数安定性、長期ドリフトは、アモルファス酸化膜、接合リード、金属・基板界面、基板表面、金属・空気界面などに存在する TLS 欠陥や磁気欠陥に大きく左右される。これらの欠陥は、従来は T1 の周波数依存性や時間揺らぎとして間接的に観測されることが多く、具体的な化学種、空間位置、双極子モーメント、磁氣的性質、結合機構は十分に明らかでなかった。欠陥の実体が不明なままでは、材料変更や設計変更の効果を予測しにくい。目的は、TLS やノイズ源を直接観測し、位置、密度、応答、時間変動を結び付けた微視的な損失モデルを作ることである。

3D 導波路、3D キャビティ、マイクロ波コム、QICK/RFSoc、マルチモード CPW、fluxonium の広い周波数可変性、走査ゲート顕微鏡、局所電場ゲートなどを用いて、TLS の直接分光、位置同定、時間応答測定が進められている。Al₂O₃、Nb₂O₅、Ta₂O₅ などのアモルファス酸化膜の TLS 損失、Nb 酸化物中の超微細構造に由来する新しい TLS 候補、Ta 酸化物との比較、接合リード上の TLS 密度増大が調べられている。さらに、交番バイアスによる TLS 双極子の変化、局所電場による TLS 周波数チューニング、複数量子ビット間での欠陥相関、金属シリコン界面や金属サファイア界面の圧電性、スピン不純物による 1/f 磁束ノイズも対象である。これらにより、デコヒーレンスの経験的評価を、欠陥の物理・化学的起源に基づく設計指針へ変換しようとしている。

準粒子・放射線影響

宇宙線、ガンマ線、環境放射線、光、ミリ波、強いマイクロ波駆動は、基板中に高エネルギーフォノンや

電荷励起を生じさせ、超伝導膜中でクーパー対を破壊して準粒子を生成する。準粒子がジョセフソン接合をトンネルすると、量子ビットの T_1 低下、電荷パリティ変化、読出しエラー、複数量子ビットにまたがる相関エラーが発生する。これは量子誤り訂正が前提とする局所的・独立なエラーモデルを破る可能性があり、大規模化における重要なリスクである。目的は、高エネルギーイベントから準粒子生成、拡散、トラップ、再結合、回復までの機構を理解し、相関エラーに強いデバイス設計を確立することである。

Gap engineering により接合両側の超伝導ギャップを非対称にして準粒子トンネルを抑制する研究、光照射やオンチップトンネル接合による制御されたフォノン・準粒子注入、宇宙線・ガンマ線・環境放射線に対する量子ビット応答の測定が行われている。地下低放射能施設や低バックグラウンド環境を用いた測定では、相関電荷ジャンプや相関緩和エラーの発生率を調べている。G4CMP によるフォノン伝搬シミュレーション、MKID を用いた放射線イベントとの同期検出、SQUAT のような高感度センサによる背景放射線評価も進められている。さらに、ミリ波アンテナモードによる準粒子生成、強駆動読出しに伴う準粒子トンネル、fluxonium での小接合・配列接合における注入ダイナミクス、接合タイプによる回復時間の違いが調べられ、誤り訂正に適した耐放射線・耐準粒子設計へつなげようとしている。

損失評価・デコヒーレンス

量子ビットや共振器のコヒーレンスをミリ秒級へ伸ばすには、観測された T_1 や Q 値を単一の性能指標として見るだけでなく、誘電損失、準粒子損失、放射損失、基板損失、表面酸化膜、磁束渦、ケーブル、パッケージ、読出し環境などの寄与を定量的に分解する必要がある。高性能デバイスほど TLS 揺らぎや時間変動の影響も顕著になり、少数サンプルの単発測定では工程改善の判断が難しい。目的は、材料、表面処理、形状、加工プロセス、測定手法を統合した損失予算を構築し、再現性のある高コヒーレンス設計と迅速な工程フィードバックを可能にすることである。

低損失基板を SRF キャビティや可変共振器で評価する研究、温度・パワー依存の高 Q 共振器測定、TLS と非平衡準粒子を組み合わせたモデル化、表面参加率シミュレーション、fluxonium や transmon の T_1 周波数依存解析が進められている。Ta 材料とアニールサファイアを用いたミリ秒級量子メモリ、Nb や Al の表面酸化膜除去・封止、ALE/ALD 処理、SAM による Al 酸化抑制、Ru キャップ、熱処理、洗浄・descum・resist strip 条件の最適化も扱われている。加えて、磁場依存の誘電損失、Ta 薄膜中の渦運動損失、Nb 表面酸化膜の熱的進化、超伝導同軸ケーブル損失、Fano 非対称性を避ける測定法、TLS 揺らぎを平均化する高速な T_1 評価法が研究されている。これらは、損失源を同定して材料・加工・設計へ戻すための診断技術として位置付けられる。

読み出し・増幅器・信号伝送

高速・高忠実度読み出し

超伝導量子ビットでは、測定は単なる最終操作ではなく、量子誤り訂正、フィードバック制御、リセット、ミッドサーキット測定を支える中核要素である。測定時間が長いと計算全体のクロックが遅くなり、測定誤りが大きいと論理誤り率の低減を阻害する。一方で、読み出しを高速化するために共振器の線幅や

読み出しパワーを大きくすると、Purcell 損失、測定誘起遷移、非計算準位へのリークage、隣接量子ビットとのクロストークが顕在化する。したがって、高速性、高忠実度、QND 性、多重量子ビット同時読み出し、実装容易性を同時に満たす読み出し技術の確立が重要な目的となっている。

研究は、読み出し共振器、Purcell フィルタ、量子ビット、信号処理を一体として最適化する方向に進んでいる。トランズモン系では、コンパクトな Purcell フィルタや動的デチューニングにより、短時間で高い SNR を得つつ緩和を抑える手法が検討されている。56 ns 程度の 4 量子ビット同時読み出しや、99.9% 級の QND 測定を目指す高周波読み出しも報告されている。フラックソニウムでは、Floquet 解析、二準位系との相互作用モデル、量子最適制御を用いて、測定誘起遷移や QND 性低下の機構を理解し、最適な動作点や制御波形を探索している。また、軽量ニューラルネットワーク、リザーバ計算、適応しきい値、二重しきい値リセット、システム雑音較正により、アナログ測定後の状態識別、リセット忠実度、実験時間短縮を改善する研究も進められている。

新規読み出し方式

分散読み出しは超伝導量子ビットで広く使われてきた標準手法であるが、大規模化に向けては限界も明確になりつつある。強い読み出し駆動では多光子共鳴や非 QND 性が問題となり、Purcell フィルタやアイソレータを含む従来の測定チェーンは物理的な占有面積、熱負荷、配線数、室温電子機器への依存を増大させる。さらに、誤り訂正では低遅延なミッドサーキット測定が必要であり、読み出し信号を室温まで戻して処理する方式だけでは拡張性に制約が生じる。そのため、読み出しの物理機構、検出器、極低温処理、オンチップデジタル化を含めた新しい読み出し原理の探索が目的となっている。

研究内容は、従来の線形分散読み出しを拡張または置き換える多様な方式に広がっている。Jaynes-Cummings 結合と強駆動から縦結合的な読み出しを実現する手法、非線形結合や多光子分散相互作用を使って高 SNR かつ低バックアクションの読み出しを狙う手法が提案されている。PDH 型読み出しは、経路長揺らぎや発振器位相安定性への感度を低減する可能性を持つ。チップ上デジタル読み出しでは、Josephson Digital Phase Detector や SFQ 比較器を用いて、極低温環境で直接デジタル信号へ変換する方向が示されている。さらに、光読み出し、マイクロ波単一光子検出、ナノボロメータによるミリケルビン光子統計測定など、検出器そのものを変える研究も進む。FPGA、AI エンジン、オンライン学習を用いたリアルタイム状態識別は、ドリフト補償やミッドサーキット測定への適用を目指している。

パラメトリック増幅器

超伝導量子ビットの読み出し信号は極めて微弱であり、量子限界に近い雑音性能を持つ初段増幅器が測定忠実度を大きく左右する。量子誤り訂正に向けて多数の量子ビットを周波数多重で読み出すには、広帯域、高利得、高量子効率、高ダイナミックレンジ、低挿入損失を兼ね備えた増幅器が必要である。同時に、従来の非相反部品やアイソレータは占有体積、損失、熱負荷の面でスケールリングを妨げる。JPA や TWPA は強力な技術基盤である一方、位相整合、製造ばらつき、圧縮点、TLS 由来の損失や歪み、逆方向雑音などの課題が残る。したがって、増幅器単体の性能向上だけでなく、読み出しチェーン全体への統合が目的となっている。

研究は、JTWPA、KI-TWPA、SNAIL 型増幅器、Floquet-mode JTWPA、ICTA、広帯域 TWPA、高周波増幅器など、多様なプラットフォームで展開されている。JosephsonCircuits.jl などを用いた設計・モデリング、均一な接合プロセスによる製造、オンチップバイアス回路やインピーダンス整合、共振位相整合や波導型位相補正により、広帯域かつ高効率な増幅を目指している。Floquet-mode JTWPA ではサイドバンド雑音の抑制や高い全系効率が重視され、TWPAC では増幅と周波数変換を組み合わせる逆方向雑音を低減し、アイソレータ削減を狙う。強駆動時のエコー、TLS に起因するインターモジュレーション歪み、圧縮後の回復過程も詳細に調べられている。さらに、真空スクイーミング、二モードスクイーミング、Kerr-free 点近傍の SNAIL 動作など、量子計測資源としての増幅器利用も進み、読み出し効率と量子限界測定の双方を高める方向に研究が進んでいる。

信号配送・配線

量子ビット数が増えるにつれて、室温制御装置からミリケルビン環境の量子チップへ信号を届ける配線、フィルタ、パッケージ、チップ間接続がシステム全体のボトルネックになる。従来の同軸ケーブルは低損失で信頼性が高い一方、コネクタの大きさ、熱流入、実装密度、ケーブルの脆弱性に限界がある。信号線のクロストークや反射はゲート忠実度と読み出し忠実度を低下させ、熱化不足は残留光子や量子ビットの実効温度上昇につながる。また、将来の量子計算機では単一チップ内の配線だけでなく、複数チップやモジュール間で量子状態を低損失に転送するネットワーク的な接続も必要になる。したがって、古典信号配送と量子情報転送の両面で拡張可能な配線基盤を確立することが目的である。

古典的な信号配送では、低周波からマイクロ波帯までのクロストークを測定・モデル化し、ハードウェア設計とソフトウェア補正の両面から抑制する研究が進む。フレックスプリントケーブル、集積減衰器、熱化評価、極低温 RF スイッチ、反射レスフィルタ、オンチップ Purcell フィルタ、3D 統合フィルタにより、高密度・低熱負荷・低反射の配線を実現しようとしている。光ファイバを用いた制御リンクは、同軸線の熱負荷を大幅に減らす候補として検討されている。量子接続では、液体金属によるチップ間コネクタ、固定周波数量子ビット間の *itinerant microwave photon* を用いた状態転送、時空間モードや周波数ビンを用いた光子符号化、ブラックソニウムと飛行光子のインターフェース、キラル量子インターコネクタ、遠隔エンタングルメント生成が扱われている。これらは配線を単なる入出力経路ではなく、量子プロセッサのモジュール化とネットワーク化を支える基盤として捉える研究である。

測定チェーン設計

大規模超伝導量子計算では、量子ビット、読み出し共振器、増幅器、制御電子回路、FPGA、冷凍機、配線、ソフトウェアの個別最適だけでは十分でない。量子誤り訂正に必要な規模では、測定と制御の遅延、周波数資源、熱負荷、配線密度、消費電力、デジタル処理資源、較正コストが相互に制約し合う。読み出し識別の精度を上げるために複雑な機械学習を導入しても、FPGA 資源や低遅延要件を満たせなければ実システムには組み込めない。また、極低温電子回路を導入する場合には、発熱、雑音、量子ビットへのバックアクションを同時に評価する必要がある。したがって、測定チェーン全体をシステムアーキテクチャとして設計し直すことが目的となっている。

研究は、読み出し後段のデジタル処理、極低温電子回路、熱設計、制御方式のコーデザインに広がっている。FPGA 上では、モード整合フィルタとニューラルネットワークを組み合わせ、省資源でクロストークに強い多重量子ビット読み出しを実現する試みがある。ミリケルビン電子回路では、オンチップマイクロ波源、熱検出器、極低温パルス発生器を量子ビット近傍に統合し、室温機器と配線の負荷を減らす方向が検討されている。CryoCMOS ASIC、SFQ ロジック、InGaAs MOSFET、granular Al 伝送線などは、低温での制御・信号処理・位相操作を担う要素技術である。冷凍機 IO の熱モデル化や熱雑音測定により、1000 量子ビット超のシステムでどの程度の入出力負荷を許容できるかを評価する研究も進む。さらに、トランズモンの物理パラメータ抽出、単純パルスで制御しやすいデバイス設計、半導体量子ビットとのハイブリッド測定系など、測定チェーンを量子デバイス設計と結びつけるコーデザインが中心課題となっている。

量子制御・較正・制御ハードウェア

ゲート制御

超伝導量子プロセッサの大規模化では、二量子ビットゲート誤差、残留 ZZ 相互作用、クロストーク、リーケージ、周波数衝突、同時実行時の相互干渉が、論理量子ビット実現に向けた主要な制約となっている。単一素子のコヒーレンスや単独ゲート性能が向上しても、多数の量子ビットを格子状またはモジュール状に集積すると、結合器設計、周波数割当、配線、パルス波形、測定系の相互作用が複雑化する。誤り訂正に必要な高忠実度を多数の量子ビットで維持するには、ゲート物理、回路設計、較正、同時動作を一体として最適化する必要がある。目的は、高速・高忠実度・低クロストークで、かつ量子ビット数の増加に耐えるゲート方式と結合アーキテクチャを確立することである。

固定周波数トランズモン、Tunable Coupler、Fluxonium、SNAIL、Quarton Coupler、共通 SQUID 結合器、マルチモード結合器などを用いた多様な二量子ビットゲート方式が検討されている。CZ、iSWAP、CNOT、Cross-resonance、Cross-cross resonance、siZZle-CZ、パラメトリックゲートについて、ゲート速度、リーケージ、ZZ 誤差、オンオフ比、周波数衝突耐性が評価されている。特に、Tunable Coupler によるアイドル時結合抑制、共振器駆動による ZZ キャンセル、解析的フラックスパルス、DRAG による漏れ抑制、同時二量子ビットゲート時の磁束クロストーク評価が重要なテーマである。さらに、全結合型・再構成可能ルータ型・タイル型三次元集積構造を用いたスケーラブルな実装、多量子ビットゲートや qudit ゲート、強化学習による複雑なエンタングル操作の最適化も進められている。Fluxonium 系では誘導結合やトランズモン結合器を利用し、長いコヒーレンスと強い非調和性を活かした高速高忠実度ゲートが研究されている。

最適制御

量子ゲートの忠実度は、有限のコヒーレンス時間だけでなく、制御パラメータのドリフト、配線やミキサに起因するパルス歪み、クロストーク、リーケージ、非断熱遷移、環境雑音、モデル化誤差によって制限される。ゲートを高速化するとデコヒーレンス誤差は減る一方、高励起状態への漏れや強駆動による非

摂動的効果が顕在化するため、単純な高速化では十分でない。実機では較正に時間がかかり、頻繁な再較正は運用効率を低下させる。したがって、実験装置の不完全性やパラメータ変動を織り込んだ頑健な制御パルスを設計し、少ない較正負荷で長時間高忠実度を維持することが重要である。

高次 DRAG、Fourier 級数パルス、Counterdiabatic Driving、Landau-Zener 干渉、非断熱パラメトリック制御、ロバスト最適制御、フィルタ関数に基づくノイズ抑制など、多様な制御理論が実機課題に適用されている。単一量子ビットゲートでは、リーケージ、振幅誤差、周波数誤差、回転波近似の破れを考慮したパルス設計が進む。二量子ビットゲートでは、Cross-resonance、CZ、パラメトリックゲートに対して、ZZ 誤差、スペクテータ位相、フラックスパルス過渡応答、クロストークを補償する手法が検討されている。IQ ミキサの in-situ 較正、マイクロ波伝達関数の同定、フラックスライン歪みの補正、帯域制限されたノイズフィルタリングも重要である。さらに、巨大ヒルベルト空間や開放量子系に対する行列フリー計算、解析的勾配、随伴感度法を用いた効率化が進められている。パラメトリック駆動の速度限界や強駆動時の高励起状態への破綻、Ramsey 限界を超える連続制御センシングなど、制御の基礎限界を明らかにする研究も含まれる。

自動較正・デバイス立ち上げ

量子ビット数、結合器数、制御線数が増えると、動作点探索、読み出し較正、単一・二量子ビットゲート較正、クロストーク補償、ドリフト追跡を手で逐次実行することは困難になる。特に Tunable Coupler 型 QPU では、量子ビットと結合器のフラックスオフセットが非局所的に影響し合い、最適動作点の探索が複雑になる。さらに、研究開発用 QPU、ファウンドリ製チップ、クラウド提供 QPU、HPC センター運用 QPU など、異なる装置や制御スタックに対応する汎用性も求められる。目的は、未較正または不完全な QPU を短時間で安定動作へ導き、アプリケーションに合わせて性能を最大化し、継続運用中のドリフトにも適応できる自律的較正基盤を構築することである。

LLM エージェント、強化学習、物理モデル、デジタルツイン、ハイブリッド最適化を組み合わせた自動実験・自動較正が進められている。AI エージェントによる単一・二量子ビットゲート較正や GHZ 状態生成、Q-CTRL によるアプリケーション特化型チューンアップ、QruiseOS によるワークフロー管理と詳細キャラクターゼーション、Qibo/Qibocal、Tergite、LabOne Q によるハードウェア非依存較正基盤が報告されている。大規模 QPU に対しては、50 量子ビット級的全デバイス較正、CZ ゲートの 10 分未満の並列自動較正、単一・二量子ビットゲートの同時較正、ドリフトを考慮したリアルタイム制御パラメータ推定が扱われる。Fluxonium では遷移スペクトルから EJ、EC、EL を推定する深層転移学習が用いられ、マイクロ波パルス歪みや IQ ミキサ特性の in-situ 測定も進む。さらに、QOP、Zurich Instruments、複数ベンダー制御装置、冷凍機制御との統合により、測定、解析、ログ、エラー処理を含む運用全体の自動化が進展している。

閉ループ制御・機械学習制御

量子デバイスは、環境変動、測定バックアクション、回路依存ノイズ、装置ドリフト、制御誤差の時間変化に常に影響される。そのため、事前に設計した開ループ制御だけでは、長時間にわたり最適性能を維持

することが難しい。特に量子誤り訂正では、測定結果に基づくリアルタイムなフィードバック、デコーダ較正、回路ごとのノイズ適応が不可欠になる。また、制御空間が高次元化すると、人手による探索や直感的なパルス設計には限界がある。目的は、AI、強化学習、ニューラルネットワーク、オンライン学習を用いて、実験結果から制御方策を更新し、人間が設計しにくい制御・較正・誤り抑制戦略を自律的に発見することである。

強化学習による量子フィードバック制御、Maxwell's demon 的な測定駆動冷却、Transformer による量子状態安定化、モデルベース RL による動的デカップリング系列探索が研究されている。PINN、随伴感度法、解析的勾配計算を用いた量子最適制御では、GRAPE や CRAB と比較しながら、メモリ効率や連続パルス最適化の利点が検討される。動的デカップリングでは、任意の大規模回路に対してアイドル時間やクロストーク条件に応じた最適系列を導出し、回路依存ノイズを抑える研究がある。Deterministic Benchmarking による高速な誤差抽出、リアルタイムドリフト較正、誤り訂正デコーダのマルチエージェント較正、Q-CTRL 系のユニタリ再合成によるゲート数削減も含まれる。QubiC/QubiCML では、FPGA 上にニューラルネットワークを実装し、量子状態識別やオンライン学習を低遅延で実行する。さらに、LLM を用いた自動較正、実験スクリプト生成、HDL 最適化など、制御ソフトウェア開発そのものの AI 応用も進む。

制御ハードウェア

フォールトトレラント量子計算では、膨大な数の量子ビットに対して、低遅延、高同期、低雑音、高安定性の制御と読み出しを提供する必要がある。しかし従来の室温制御機器と多数の同軸配線に依存する構成は、冷凍機の熱負荷、配線密度、装置コスト、同期精度、リアルタイム誤り訂正への対応で限界に近づく。さらに、QEC では測定結果を低遅延でデコーダへ渡し、補正情報を制御系へ戻す必要があるため、制御装置は単なる波形発生器ではなく、データ処理・通信・フィードバックを担う計算基盤になる。目的は、極低温近傍または量子ビット近傍に集積可能な制御回路、標準化された QEC インターフェース、低消費電力で拡張性のある制御・読み出しアーキテクチャを確立することである。

CryoCMOS ASIC、SFQ デジタル制御、ミリケルビン・マイクロ波発生器、RFSoc ベース制御、Qblox QCM、QEC インターフェース、リアルタイム QEC アクセラレータなどが研究されている。SFQ 制御ではトランズモンや Fluxonium に対する X/Y 制御が検討され、極低温・低消費電力のデジタル制御の可能性が示されている。CryoCMOS では、トランズモン制御、シリコンスピン量子ビット制御、低電圧 DAC、ARM プロセッサ搭載低温制御タイルが扱われる。Qblox QCM はバイアスティーを不要化し、DC バイアスと高速フラックスパルスを単一モジュールで供給する方向を示す。GPU と QPU の密結合による高速較正、FASQuiC による Spin qubit 向け低遅延 FPGA 制御、QubiC 2.0 の拡張性向上も報告されている。さらに、ADR による大規模ミリケルビン冷却、ミリケルビン CMOS、DC MUX、RF リフレクトメトリ、Cryo-multiplexer により、冷却、配線、読み出し、量産チップ評価を含めたスケール化技術が検討されている。

ソフトウェア連携制御

量子計算機の実用化には、量子チップ単体ではなく、コンパイラ、較正、制御、ジョブ管理、ユーザー管理、クラウドアクセス、HPC 連携、ベンチマーク、可視化を統合したシステム設計が必要である。量子ハードウェアには、周波数衝突、ゲート非対称性、較正ドリフト、制御配線制約、ゲート集合の違いなど、物理層に固有の制約がある。これらをソフトウェア層が理解し、回路合成、スケジューリング、較正情報、エラー抑制、実行結果解析へ反映することが重要になる。目的は、利用者が高水準の量子プログラムを記述しつつ、背後では QPU の実状態に応じて制御・較正・コンパイルが連携し、実機性能を最大限引き出す運用基盤を構築することである。

量子 OS、QSolid、QStone、Qiskit、Classiq、Qruise toolset などを用いた統合ソフトウェア基盤が報告されている。量子 OS では、コンパイラ、タスク分割、自動較正、抽象化レイヤを統合し、大規模量子計算機に向けた実行環境を構築する。QSolid では、制御ファームウェアから較正、ユーザー管理、ジョブスケジューリング、HPC 統合までを分散・異種環境で接続する。QStone は HPC と QPU の共同性能を評価するベンチマーク基盤であり、Qiskit や Classiq は回路表現、最適化、高水準合成、可視化を担う。Qruise toolset では、QPU と制御スタックを含むデジタルツインを構築し、設計最適化やキャラクターゼーションに利用する。さらに、RIKEN のタイル型超伝導アーキテクチャ、IBM Heron での大規模ゲート実行、ハードウェア効率ゲートの較正・コンパイル、周波数衝突解析、動的メタサーフェス制御、Lattice Hamiltonian 解析など、物理設計とソフトウェア最適化を接続する研究も進められている。

量子誤り訂正・フォールトトレランス

Surface Code

Surface code は、2 次元近接結合アーキテクチャとの相性がよく、超伝導量子ビットをはじめとする実験系で最も現実的な量子誤り訂正方式の一つとして発展してきた。物理誤り率がしきい値以下であれば、符号距離を大きくすることで論理誤り率を指数的に低減できるため、FTQC 実現の基準技術と見なされている。近年は、単なる理論的候補ではなく、実機で below-threshold 動作が示され、論理メモリ、論理演算、lattice surgery、リアルタイムデコード、欠陥耐性、極低誤り領域の検証へと焦点が移っている。目的は、Surface code を大規模量子計算の標準的な実装基盤として成立させるため、スケーラビリティ、安定性、制御性、復号速度を総合的に高めることである。

研究は、Google の 101?105 量子ビット級プロセッサを用いた distance 3, 5, 7 の surface code メモリ実験、below-threshold 動作の較正手法、repetition code による 10^{-10} 級の超低論理誤り率の探索を中心に進んでいる。これに加えて、lattice surgery による論理 Bell 状態生成や論理演算、transversal Clifford gate を含む論理回路、time-dynamic circuit や LUCI による柔軟な surface code 実装が検討されている。さらに、dead component や defective qubit・coupler を含む不完全なデバイス上で符号性能を保つ手法、dual-rail cavity qubit、silicon spin qubit、Rydberg atom など異なる物理系への適用、biased noise や heralded error を取り込む統計力学的解析も進む。デコーダ面では、streaming blossom、GNN、matching synthesis、transversal gate 向け復号など、実時間性と高精度を両立する技術が開発

されている。

LDPC・トポロジカルコード

Surface code は実装容易性と高いしきい値を持つ一方、1 つの論理量子ビットに多数の物理量子ビットを必要とし、大規模 FTQC では物理資源、配線、制御、冷却、実行時間の面で大きな負担となる。この制約を超える候補として、高符号化率をもつ qLDPC code、non-local connectivity を活用するコード、biased noise や erasure noise に適応したコード、GKP・bosonic code、topological order を用いる符号が注目されている。意図は、単に誤りを訂正するだけでなく、論理量子ビット密度、論理ゲートの実装容易性、測定回数、デコーディングの負荷を同時に改善することである。目的は、Surface code 依存の設計から一歩進み、より低オーバーヘッドな FTQC アーキテクチャの理論的・実装的基盤を構築することである。

研究は、高率 LDPC code、bivariate・multivariate bicycle code、homological product code、hypergraph product code、single-shot LDPC code、many-hypercube code など、符号化率と距離の両立を狙う設計に広がっている。論理演算面では、qLDPC surgery、universal adapter、repetition code adapter、toric code adapter、logical Pauli measurement、parallelizable logical computation など、LDPC code 上で fault-tolerant gate を低オーバーヘッドに実行する手法が提案されている。また、XZZX、XY、compass code、Floquet code、Clifford-deformed code など、biased noise に合わせて性能を高める符号設計も進む。GKP code では pure-loss・amplification channel、Gaussian displacement channel、maximum likelihood decoding との関係が調べられる。さらに、color code、non-Abelian topological order、mixed-state topological order、quasicrystal product code、rotor code など、符号理論と物性・幾何・トポロジーを結びつける研究が展開されている。

デコーディング・最適化

フォールトトレラント量子計算では、量子デバイスが生成するシンドローム測定データを、計算の進行に遅れず処理する必要がある。特に T gate や feed-forward を含む論理回路では、復号結果の遅延がそのまま論理クロック、プログラム実行時間、必要なバッファ量に影響する。Surface code では実時間復号が現実的課題となり、qLDPC code では高率化の代償として復号問題が複雑化する。したがって、デコーダは単に高精度であればよいのではなく、低レイテンシ、高スループット、ハードウェア実装可能性、実機ノイズへの適応性を同時に満たす必要がある。目的は、実デバイスのノイズ構造を活かしながら、論理誤り率、復号時間、計算資源を最適化することである。

研究は、Surface code 向けの streaming parallel blossom decoder、Local Clustering Decoder、predictive window decoding、parallel window decoding、Tesseract、matching synthesis、MaxSAT decoder など、多様な復号アルゴリズムを対象としている。リアルタイム性を重視する研究では、FPGA や ASIC 実装、window 分割、lazy Viterbi、A* search、並列化、予測復号によって、シンドローム生成速度に追従する仕組みが検討される。qLDPC code では、Astra GNN、Ambiguity Clustering、BP+OSD の高速化・代替、任意 CSS code 向け MaxSAT などが扱われ、精度を保ちながら復号時間を

削減する方向に進む。さらに、transversal CNOT や S gate のような論理ゲートに伴う相関誤り、biased noise、erasure noise、circuit-level noise に対応する復号も重要課題である。加えて、Pauli noise learning、cycle benchmarking、mid-circuit measurement の特性評価、logical GST、parity check tomography、TLS defect simulation、低論理誤り率推定など、ノイズ同定と復号最適化を結びつける研究が進められている。

論理量子ビット評価

量子誤り訂正の最終的な価値は、物理量子ビットを多数用いることで、単一物理量子ビットより信頼性の高い論理量子ビットを実現できるかにある。そのため、論理寿命、論理ゲート忠実度、break-even、論理測定、論理状態準備、論理過程の完全な特性評価が重要になる。しかし、論理量子ビットのノイズは物理ノイズの単純な平均ではなく、復号、測定、feed-forward、coherent noise、non-Markovian dynamics、shuttling、synchronization、制御系の遅延などに依存する。早期 FTQC では、完全な大規模誤り訂正に到達する前に、限定的な論理量子ビットをどう評価し活用するかが中心課題となる。目的は、論理量子ビットの実性能を実験的・理論的に測定し、デバイス改善とアーキテクチャ設計に戻す評価体系を作ることである。

研究対象は、silicon spin qubit、exchange-only silicon qubit、 $2 \times N$ array with shuttling、star architecture QPU、trapped ion、superconducting processor、neutral atom など多様である。実験的には、Quantinuum H2 による logical GHZ state の break-even 超え、trapped-ion quantum computer 上の logical teleportation、Steane code や $[[7,1,3]]$ code の実装、logical process fidelity の測定が扱われている。理論・評価面では、teleportation-based QEC が coherent noise を Pauli 的な誤りへ変換する効果、logical dynamical decoupling による高重み誤りの抑制、logical gate set tomography、logical randomized benchmarking、parity check tomography などが重要である。さらに、active synchronization による logical qubit 間のタイミングずれ対策、long-lived logical qubit challenge に向けた制御システム、測定ベース QEC、非 Markovian logical dynamics の解析など、論理量子ビットの安定性と運用性を総合的に高める研究が進められている。

魔法状態・論理ゲート

フォールトトレラント量子計算では、Clifford gate は多くの符号で比較的実装しやすい一方、それだけでは万能量子計算を実行できない。T gate や CCZ gate などの non-Clifford 操作を実現するには、magic state injection や magic state distillation が必要になるが、従来法は大量の物理量子ビット、長い実行時間、多数の補助状態を必要とし、FTQC の主要なボトルネックとなる。したがって、非 Clifford 資源をいかに低コスト、高忠実度、短時間で供給するかが、実用的アルゴリズム実行の鍵となる。目的は、magic state distillation の負担を軽減し、code switching、cultivation、bosonic qubit、erasure qubit、qLDPC adapter、ISA 設計などを通じて、論理ゲート体系全体を効率化することである。

研究は、複数種の magic gate を含む FT gate set によるコンパイル最適化、state-dependent feedback による magic state generation、neutral atom 上の color code を用いた 5-to-1 magic state distillation、

3D color code と 2D color code の code switching による低オーバーヘッド magic state preparation などを含む。Magic state cultivation では、surface code patch 内で T state を段階的に成長させ、従来の distillation より少ない qubit-round で高忠実度状態を得ることを目指す。Cat qubit や pair cat state、bosonic mode、erasure conversion を利用する方法では、物理系固有のノイズバイアスや消失検出を活かして非 Clifford 資源を安定化する。さらに、qLDPC adapter による論理 Pauli 測定、lattice surgery computer 向け ISA、code automorphism に基づく logical Clifford gate、Majorana hardware における transversal gate、qudit surface code と non-Abelian topological order を使う magic state preparation など、論理ゲート実装を符号・デバイス・コンパイラの各層で再設計する研究が進んでいる。

QEC 実験

量子誤り訂正は理論上は指数的な誤り抑制を可能にするが、実用化には実デバイスで below-threshold 動作、論理状態の長寿命化、論理ゲート、リアルタイム復号、安定した較正、低レイテンシ制御を示す必要がある。超伝導量子ビット、trapped ion、neutral atom、bosonic cavity、cat qubit、modular superconducting processor など、各プラットフォームには異なる利点と制約があるため、QEC 実験は単なるデモではなく、スケール時に支配的となる誤り源、配線、制御、読み出し、モジュール間接続、欠陥、相関誤りを明らかにする役割を持つ。目的は、理論的な QEC プロトコルを実機上で検証し、将来の大規模 FTQC アーキテクチャに必要な実装技術を抽出することである。

研究内容は、Google 系の surface code below-threshold 実験、101?105 量子ビットプロセッサの較正、distance 3, 5, 7 における論理誤り率の抑制、repetition code による rare correlated error の低減、リアルタイムデコードの実装を中心に構成される。さらに、lattice surgery による論理 Bell 状態生成、superconducting processor 上の color code building blocks、 $[[6,3,2]]$ qLDPC code の超伝導実装、real-time and low-latency QEC system の統合が扱われている。Bosonic・cavity 系では、10 秒超の bit-flip time をもつ cat qubit、concatenated cat qubit、biased-erasure cavity qubit、nonlinear reservoir engineering、pair cat code が登場し、ハードウェア自体に誤り耐性を持たせる方向が進む。加えて、inter-module two-qubit gate、modular superconducting processor、plug-and-play superconducting network、distributed architecture、QRAM 向け低オーバーヘッド QEC など、スケールアウトやモジュール化を見据えた実験研究も展開されている。

フォールトトレランス

実用的な量子計算には、個々の論理量子ビットを保護するだけでなく、アルゴリズム全体を誤り訂正下で実行するための体系が必要である。そこでは、論理ゲートセット、T gate 合成、magic state 供給、制御システム、復号レイテンシ、資源見積もり、エネルギー消費、モジュール間接続、コンパイラ、エラー緩和が相互に関係する。完全 FTQC には膨大な物理資源が必要とされるため、NISQ と完全 FTQC の中間に位置する early FTQC や partially fault-tolerant quantum computing が重要になっている。目的は、限られた物理量子ビット数と不完全な論理誤り率のもとでも、有用な量子アルゴリズムを実行可能にし、完全 FTQC へ移行するための現実的な設計原理を確立することである。

研究は、Clifford+T synthesis、arbitrary single-qubit unitary の fault-tolerant synthesis、fault-tolerant compilation、algorithmic primitives の実行、T count 削減、QPE や Hubbard model など具体的アルゴリズムの資源評価に及ぶ。Early FTQC では、STAR architecture、partial QEC、error mitigation、symmetric Clifford twirling、symmetric channel verification、circuit division、EUMLE などを用いて、論理ノイズを許容しながら計算精度を確保する戦略が検討される。Bosonic ancilla や cat state を使った arbitrary-angle rotation、surface code への状態注入、analog rotation の高忠実度化も重要である。システム面では、IBM の multi-length coupler architecture、modular distributed surface code、solid-state module 間 entanglement generation、QEC-capable control system、Riverlane 型の fault-tolerant extension、QRAM に対する低オーバーヘッド QEC が議論される。さらに、energy requirement、transversal algorithmic fault tolerance、classical SAT 技術による fault-tolerant circuit design など、物理資源、制御資源、古典計算資源を含めた総合的な FTQC 設計が進められている。

量子ソフトウェア・アルゴリズム・コンパイラ

量子アルゴリズム

量子アルゴリズム分野では、量子計算機が古典計算を超える有用性を、どの問題領域で、どの程度現実的な資源で示せるかが中心的課題となっている。対象は量子シミュレーション、量子化学、線形方程式、微分方程式、最適化、エンタングルメント解析、トポロジカル相、金融工学など広く、いずれも古典計算では次元・精度・時間発展の扱いが急速に困難になる。理論的な量子優位性を示すだけでなく、QSVT、LCU、ブロックエンコーディング、量子ウォーク、断熱変換、位相推定などを、実機または早期 FTQC で実行可能な回路深さ、ゲート数、測定回数へ落とし込むことが強く意識されている。

研究は、量子多体系・場の理論・化学・材料・PDE・最適化を対象とするアルゴリズム開発に大きく広がっている。QSVT や LCU では、疎行列反転、時間発展、重なり計算、行列関数の実装におけるゲート数や制御演算の削減が進められている。断熱状態準備、熱勾配降下、動的量子ウォーク、SeqHT などでは、基底状態や低エネルギー状態をより浅い回路で得る手法が検討されている。さらに、複数観測量の Heisenberg 限界推定、ハミルトニアン学習、IPR 推定、有限要素法、drift-diffusion や advection-diffusion 方程式の量子解法、量子化学の第一量子化、量子シミュレーションの資源削減、トポロジカル不変量や Majorana モードの回路計算などが扱われる。Google や IBM の講演では、量子アルゴリズムを HPC や量子中心スーパーコンピューティングと組み合わせ、実用応用へ接続する方向も示されている。

ハイブリッド量子古典計算

ハイブリッド量子古典計算は、完全な誤り訂正量子計算がまだ高コストである中、NISQ から早期 FTQC に至る過渡期において、限られた量子ビット数、浅い回路、実機ノイズの制約下で計算価値を引き出すことを目的としている。特に組合せ最適化、QAOA、変分量子アルゴリズム、量子測定や散逸を利用した非ユニタリ過程、量子アニーリングとの比較が主要な対象である。古典ソルバが非常に強力であるため、単

に量子手法を提案するだけでなく、近似比、時間対解品質、スケーラビリティ、ノイズ耐性、古典後処理を含めた総合性能を評価することが重要になっている。

研究内容は、Decoded Quantum Interferometry による最適化問題の復号問題への変換、QAOA の定数時間極限解析、弱測定・一般化測定・Zeno 散逸を用いた k-SAT や制約最適化、短経路アルゴリズムによる Markov chain 探索超えの速度向上、Ising 模型の基底状態準備などを含む。QAOA については、グラフ構造、有限サイズ補正、エンタングルメント・相互情報量、Grover mixer、多角度 qutrit QAOA、誤り検出符号との組合せ、ノイズ誘導リマッピングなど、多方面から性能向上と限界解析が進められている。実機実験では、IBM、Rigetti、Q-CTRL、量子アニーラ、トラップイオンなどを用い、MaxCut、QUBO、spin glass、SAT、航空貨物積載、ポートフォリオ、物流問題などの応用が検討されている。少数量子ビットで大規模変数を扱う符号化や、古典ソルバと競合可能な品質を目指すベンチマークも重要な流れである。

コンパイル・回路最適化

量子アルゴリズムを実機で動作させるには、理論的に記述された抽象回路を、実際のハードウェア接続性、ネイティブゲート、較正精度、誤り率、制御制約、FTQC での許容ゲートセットに適合させる必要がある。特に二量子ビットゲート数、回路深さ、T ゲート数、ルーティングコスト、コンパイル時間は、NISQ ではノイズ蓄積を、FTQC では物理量子ビット数や実行時間を直接左右する。したがって、単なる形式変換ではなく、アルゴリズム、アーキテクチャ、制御、誤り訂正方式をまたぐ資源最適化が目的となっている。

研究は、Qualtran によるアルゴリズム表現と資源見積もり、QFactor-Sample による量子機械学習的な高速コンパイル、近似コンパイルアンサンブルによる誤差抑制、周期系シミュレーションに特化したルーティング、Qmod や OpenQudit による高水準量子プログラミング抽象などに及ぶ。実行効率の観点では、Q-CTRL コンパイラ、SU(4)ゲートセット、任意二量子ビットゲートを直接用いる CRISC 的発想、Clifford 抽出・吸収、Pauli gadget 最適化、fermion-to-qubit mapping、Pauli 分解高速化が扱われている。FTQC 向けには、Clifford+T や Clifford+R の合成、magic state の多種類管理、single qubit unitary の最適 T 合成、surface code 配置、依存関係を考慮したルーティング、SAT や AlphaZero による厳密ユニタリ合成が進められている。ランダム化コンパイル、Solovay-Kitaev、ゲート列アンサンブル生成も、近似誤差と実機ノイズを同時に抑える手段として位置づけられる。

エラー緩和・ノイズ特性評価

量子計算の実用化では、完全な誤り訂正だけに依存するには物理量子ビット数や実行時間の負担が大きく、NISQ および早期 FTQC ではノイズを測り、理解し、抑制し、計算結果を補正する技術が不可欠である。実機ノイズは単純な固定確率モデルではなく、時間変動、読み出し誤差、クロストーク、非マルコフ性、準粒子、ドリフト、残留論理誤りを含む。したがって、エラー緩和・ノイズ特性評価の目的は、デバイス特性に即したノイズモデルを構築し、期待値、位相推定、動的回路、量子化学、シミュレーションなどの出力信頼性を高めることである。

IBM Heron プロセッサにおけるノイズ学習と誤り緩和、ランダム化コンパイルの FPGA 実装、時間変動ノイズやステップ状エラー変化の検出、非平衡準粒子や gap engineering、ドリフト予測、非マルコフダイナミクスを用いた単一量子ビット緩和などが扱われている。補正手法としては、PEC、QED、ZNE、lightcone PEC、shaded lightcone、Pauli check、mid-circuit measurement と feedforward の読み出し誤差緩和、データ効率的な外挿、purification との併用が検討されている。早期 FTQC に向けては、対称 Clifford twirling、symmetric channel verification、部分誤り訂正と PEC の統合、QPE に対する EUMLE、残留論理ノイズの緩和が研究されている。さらに、動的デカップリングによる多量子ビットクロストーク抑制、テンソルネットワーク支援の動的 multiproduct formula、operator backpropagation による古典・量子分担も、実機実行の精度改善策として提示されている。

量子機械学習

量子機械学習では、量子計算が機械学習の推論、学習、特徴変換、生成、最適化のどの段階で本質的な利点を持ち得るかが問われている。従来は量子カーネル、量子ニューラルネットワーク、変分回路、量子リザバー、生成モデルが中心であったが、古典データの符号化コスト、barren plateau、汎化性能、dequantization、量子データへの適用可能性が大きな課題となっている。そのため、実用応用を探索するだけでなく、量子優位性が証明可能な学習問題、量子データ処理、信頼性や説明可能性を含む新しい評価軸を構築することが意図されている。

研究は、分子生成のための hybrid quantum generative model、潜在空間を用いた量子強化学習、LLM 微調整のための QuanTA、超伝導プロセッサ上の量子アンサンブル学習、量子カーネルから明示モデルへの変換、量子コンピュータによる学習過程そのものの高速化に及ぶ。量子データ処理では、NISQRC、qubit-bus 型量子リザバー、非局所観測量のサンプル効率的推定、トポロジカル相認識、量子古典断熱ダイナミクス学習が扱われる。古典データ応用としては、画像圧縮、流体・非線形力学系、PINN、生成モデリング、量子リザバーによる時系列処理が検討されている。理論面では、幾何学的 QML、Simon や forrelation 型問題、magic とエントロピー、shadow learning、MBQC のランダム性利用、量子データ駆動の学習相転移が議論される。さらに、QML の限界、dequantization、Trustworthy AI、光リザバーなどを通じて、量子機械学習の適用範囲を冷静に見極める流れも強い。

設計ツール・シミュレーション

設計ツール・シミュレーション分野では、量子デバイス、特に超伝導量子回路を、実験と試作だけに頼らず、事前に高精度かつ効率的に設計・評価・最適化することが目的となっている。超伝導量子ビットでは、Josephson 接合の原子スケール構造、材料欠陥、誘電損失、配線・共振器・制御線の電磁界、読み出し、ノイズ、チップレイアウトが性能に直結する。したがって、半導体 TCAD に相当するマルチスケール設計基盤を構築し、微視的物理から回路ハミルトニアン、GDS、実機特性、量子シミュレーションまでを接続することが重要になっている。

研究は、超伝導回路の TCAD 的設計、Josephson 接合成長の DFT・分子動力学・NEGF-DFT 解析、BCS や Bogoliubov-de Gennes に基づく微視的ノイズモデル、black-box quantization や energy participation

ratio を補完する時間依存 Hamiltonian 構築に広がる。ツール面では、SQuADDS、KQCircuits、Qiskit Metal、Elmer、HFSS、Keysight Quantum Circuit Simulation などを用いた設計、レイアウト生成、電磁界解析、損失評価、flux quantization、Bayesian optimization、歩留まり推定が進められている。さらに、全超伝導回路の列挙、CPTP dynamical map 生成、QMC による大規模ノイズ回路シミュレーション、共振器スペクトルの合理関数フィッティングも扱われる。量子アルゴリズム側の支援として、量子化学 Hamiltonian のエンタングルメント構造解析、overlap bound、ローカルトモグラフィと SDP、ground state 準備回路、GPU 上の QPU シミュレーション、Zak 基底でのボソニックモード、open system シミュレーション、Kondo 模型のアナログシミュレーションも含まれている。

主な研究拠点

大分類	サブ分類	研究を行っている拠点
材料 微細加工 デバイス損失	薄膜材料	Princeton University、Fermi National Accelerator Laboratory、IMEC
	ジョセフソン接合	Rigetti Computing、MIT Lincoln Laboratory、Yale University
	微細加工・実装	Fraunhofer EMFT、IMEC、MIT Lincoln Laboratory
	TLS・欠陥・ノイズ	Dartmouth College、Princeton University、Karlsruhe Institute of Technology
	準粒子・放射線影響	Google Quantum AI、Fermilab、Syracuse University
	損失評価・デコヒーレンス	Fermi National Accelerator Laboratory、Princeton University、Yale University
読み出し 増幅器 信号伝送	高速・高忠実度読み出し	RIKEN、Yale University、ETH Zurich
	新規読み出し方式	MIT、Universite de Sherbrooke、Delft University of Technology
	パラメトリック増幅器	MIT、NIST、Universite de Sherbrooke
	信号配送・配線	Bluefors、Oxford Quantum Circuits、QphoX
	測定チェーン設計	Rigetti Computing、Qblox、Zurich Instruments
量子制御 較正 制御ハードウェア	ゲート制御	Google Quantum AI、Chalmers University of Technology、University of Wisconsin Madison
	最適制御	Universite de Sherbrooke、QCTRL、University of Southern California
	自動較正・デバイス立ち上げ	QCTRL、Qruise、IQM Quantum Computers
	閉ループ制御・機械学習制御	QCTRL、University of Oxford、Lawrence Berkeley National Laboratory

	制御ハードウェア	Qblox、Zurich Instruments、Q.M Technologies / Quantum Machines
	ソフトウェア連携制御	Qruise、IBM Quantum、Lawrence Berkeley National Laboratory
量子ソフトウェア アルゴリズム コンパイラ	量子アルゴリズム	Google Quantum AI、JPMorganChase、IBM Quantum
	ハイブリッド量子古典計算	QCTRL、NVIDIA、University of Arizona
	コンパイル・回路最適化	Classiq Technologies、Lawrence Berkeley National Laboratory、University of Wisconsin Madison
	エラー緩和・ノイズ特性評価	IBM Quantum、Google Quantum AI、Sandia National Laboratories
	量子機械学習	Osaka University、MIT、NVIDIA
	設計ツール・シミュレーション	University of Southern California、IQM Quantum Computers、Nanoacademic Technologies
量子誤り訂正 フォールトトレランス	Surface Code	Google Quantum AI、Riverlane、Yale University
	LDPC・トポロジカルコード	IBM Quantum、University of Chicago、Caltech
	デコーディング・最適化	Riverlane、Google Quantum AI、NVIDIA
	論理量子ビット評価	Google Quantum AI、Yale University、ETH Zurich
	魔法状態・論理ゲート	Google Quantum AI、University of Chicago、Alice & Bob
	QEC 実験	Google Quantum AI、Rigetti Computing / Riverlane、MIT
	フォールトトレランス	Riverlane、IBM Quantum、Microsoft Quantum

技術トピックごとの研究拠点

サブ分類	技術トピック	拠点
薄膜材料	超伝導薄膜	Princeton University、Fermi National Accelerator Laboratory、Yale University
	タンタル系薄膜	Princeton University、IMEC、MIT Lincoln Laboratory
	ニオブ系薄膜	Northwestern University、University of Waterloo、Syracuse University
	窒化物薄膜	Yale University、Tohoku University、Lawrence Berkeley National Laboratory
	レニウム・ルテニウム系薄膜	Fermi National Accelerator Laboratory、Yale University、NQFF / IMRE
	グラニューアルミニウム	Delft University of Technology、Yale University、Karlsruhe Institute of Technology
	エピタキシャル薄膜	Brookhaven National Laboratory、National Taiwan University、University of California Santa Barbara
	表面酸化膜制御	Princeton University、IMEC、National Taiwan University
	界面層制御	Brookhaven National Laboratory、TU Munich / Fraunhofer EMFT、IMEC
	薄膜応力・粗さ制御	Iowa State University、NQFF / IMRE、Brookhaven National Laboratory
ジョセフソン接合	Al/AlO _x /Al 接合	Rigetti Computing、MIT Lincoln Laboratory、Lawrence Livermore National Laboratory
	Nb/AlO _x /Nb 接合	University of Glasgow、Cornell University、MIT Lincoln Laboratory
	NbN/AlN/NbN 接合	Yale University、Tohoku University、Lawrence Berkeley National Laboratory
	半導体ハイブリッド接合	Columbia University / Raytheon BBN、University of Pittsburgh、New York University
	vdW 材料接合	Massachusetts Institute of Technology、Carnegie Mellon University、University of Basel
	ナノワイヤ接合	University of Pittsburgh、New York University、Technical University of Denmark

	トリレイヤ接合	University of Glasgow、Tohoku University、Yale University
	ALD 形成接合	Yale University、Lawrence Berkeley National Laboratory、University of Maryland College Park
	接合寸法補正	MIT Lincoln Laboratory、Rigetti Computing、Oxford Quantum Circuits
	接合後処理・周波数調整	Rigetti Computing、Oxford Quantum Circuits、Lawrence Livermore National Laboratory
微細加工・実装	300mm/200mm ウェハプロセス	IMEC、IQM Quantum Computers、Universite de Sherbrooke
	CMOS 互換プロセス	Fraunhofer EMFT、IMEC、IBM Quantum
	フリップチップ実装	Delft University of Technology、Yale University、Fraunhofer EMFT
	3D 集積実装	Fraunhofer EMFT、Oxford Quantum Circuits、Fermi National Accelerator Laboratory
	エアブリッジ形成	Friedrich-Alexander University Erlangen-Nurnberg、TU Munich、MIT Lincoln Laboratory
	チップ間相互接続	Boston University、Rigetti Computing、ETH Zurich
	低損失配線・パッケージング	MIT Lincoln Laboratory、Oxford Quantum Circuits、Bluefors
	液体金属接続	Boston University、Karlsruhe Institute of Technology、Yale University
	高密度入出力実装	Oxford Quantum Circuits、Qblox、Quantum Machines
	オンチップフィルタ実装	Oxford Quantum Circuits、MIT、University of Colorado Boulder / NIST

地域別研究拠点

地域	大きな拠点候補	主に目立つ領域
米国	Google Quantum AI / Google LLC	Surface Code、QEC 実験、エラー緩和、準粒子・放射線影響、ベンチマーク
	Massachusetts Institute of Technology / MIT Lincoln Laboratory	fluxonium、ゲート制御、読み出し、材料・接合・実装、QEC
	Yale University	ジョセフソン接合、dual-rail / bosonic qubit、QEC、読み出し、損失評価
	IBM Quantum / IBM Research	量子ソフトウェア、QEC、LDPC、コンパイル、ベンチマーク、FTQC
	University of Chicago	superconducting modules、bosonic / LDPC / GKP 系 QEC、量子アルゴリズム
	Princeton University	材料損失、TLS、タンタル系薄膜、読み出し、量子デバイス基盤
欧州	Delft University of Technology / QuTech	superconducting qubit、QEC、tunable coupler、flip-chip、scalable architecture
	ETH Zurich	superconducting qubit、QEC 実験、モジュラー接続、読み出し、量子ネットワーク
	Chalmers University of Technology	parametric gate、制御、QPU、読み出し、QEC 関連制御
	IQM Quantum Computers	ウェハプロセス、QPU 製造、自動較正、QPU 設計、スケールアップ
	Karlsruhe Institute of Technology	fluxonium、材料損失、読み出し、TLS、低温デバイス評価
	University of Oxford / Oxford Quantum Circuits	QPU、実装、配線、OQC 系制御・読み出し、量子ソフトウェア
アジア	RIKEN / University of Tokyo	superconducting qubit、読み出し、QEC 周辺、マイクロ波フォトン、HPC 接続
	Tsinghua University / BAQIS	superconducting circuits、量子ネットワーク、制御、放射線・相関エラー
	Osaka University	量子ソフトウェア、量子機械学習、ゲート制御、コンパイル・アルゴリズム

光方式の概要

光量子コンピュータとは量子情報のキャリアに光を使用するものであり、光量子コンピュータにもいくつかの方式が存在している。ここではそのなかでも連続変数型測定に基づく量子計算を例に光電場の直交位相振幅に量子情報をエンコードし、時間領域多重型クラスター状態を利用する方式に使用される部品群について述べるが、その他の方式であるガウシアンボソンサンプリング方式などにも利用可能である。

光量子コンピュータはプロセッサ部分と量子ビット生成部分に分けることができる。前者はスクイーズド光源と線形光学干渉計によって生成される大規模な量子もつれ状態、すなわちクラスター状態を用いて演算を行う。一方、後者は非ガウス操作を通じて論理量子ビットに相当する非古典状態を生成する役割を担う。光以外の多くの方式では量子ビットは空間的に固定された素子として実装されるが、光方式では量子情報が時間的に連続した光パルス列として符号化される。このため、時間領域多重化を用いることで、限られた物理リソースから非常に大規模な量子回路を実現できる点が大きな特徴である。

本方式における演算は、あらかじめ生成されたクラスター状態に対して、ホモダイン測定を逐次行う測定型量子計算として実装される。測定基底の選択とそのフィードフォワード制御によって、任意の量子演算が実行される。したがって、光源、干渉計、検出器、電子制御系が一体として高い安定性と高速性を持つことが要求される。

各構成要素

光量子コンピュータを構成する主要な要素は、以下の項目に大きく分類される。ここでは各項目の概要について説明し、詳細は添付の表に記載する。

光源類

光量子コンピュータで使用される光源の波長は基本的に 1550 nm 付近の C バンドの通信波長帯である。この理由は、光通信で使用される素子類を流用できるためである。クラスター状態はスクイーズド光源と干渉計によって構築される。なかでもスクイーズド光源は最も重要な構成要素の一つである。そもそもスクイーズド光とは直交位相振幅の量子雑音が特定の位相では抑制（スクイーズ）され、それと直交する位相では増大（アンチスクイーズ）されているような状態である。スクイーズド光は二次や三次の非線形光学過程によって生成され、どれだけスクイーズしているかを表すスクイージングレベル、スクイーズド光の帯域、そして損失などによって性能が評価される。実験的には周期分極反転型ニオブ酸リチウムを用いた導波路型光パラメトリック増幅器がスクイーズド光源としてよく使用される。この結晶を励起光（775 nm 付近）によって励起させることで、1550 nm 中心に広帯域スクイーズド光が発生する。ここで、励起光としては 1 台のスクイーズド光源当たり 1 W 程度の連続波レーザーが必要となる。スクイーズド光源は少なくとも 4 台は必要となるため、これらを励起するために十分ハイパワーな光源が必要となる。また、時間領域多重クラスターは非対称干渉計からなるため、レーザーの位相雑音も重要なファクターである。

光学部品

上述のスクイーズド光源から後の光路は基本的に光学損失に敏感であり、できるだけ低損失な光学素子

で構築しなければならない。また、将来的に高速の量子計算を実行するには素子の分散も考慮する必要がある。使用される光学素子は、高反射率ミラー、ビームスプリッタ、偏光ビームスプリッタ、波長板、レンズなどの自由空間光学素子や、長尺の遅延系を構築するための光ファイバー関連部品がある。特に光ファイバーを使用する際、結合損失や光ファイバー同士の結合損失に対する要求は光通信用途の光ファイバー素子と比べて高い性能が要求される。

光検出器

光量子計算において、最終的には直交位相振幅の読み出し、あるいは量子状態測定を行い、計算結果を取得する。この前者の直交位相振幅測定に必要とされるのがホモダイン測定器である。ホモダイン測定器自体は光通信分野でなじみ深いが、光量子コンピュータ応用においてはその検出効率が特に重要であり、100%に近い効率が要求される。また、電気回路の雑音も実効的な損失として影響する。さらにその応答帯域は量子計算のスピードを律速する。これらの要件を踏まえたバランスディテクタを用いたホモダイン測定器の開発が求められている。

後者の量子状態測定では、単一光子検出器や光子数識別器が使用される。これらの光子検出器は、ボソンサンプリングでは光子数に基づく量子状態の直接測定に使用される。連続変数型測定に基づく量子計算では非ガウス量子状態の生成に使用される。ここでも検出効率や応答速度に加え、光子数状態識別能力や測定可能な最大光子数が重要な性能指標である。

オプトメカニクス

光学実験全般において、長期安定性は常に課題となる。とくに自由空間系で構築する場合、温度変化や空気の揺らぎによるアライメントのズレは極力抑える必要がある。光学素子をマウントするミラーマウントやステージ類には温度変化や経年変化の少ない素子を用い、また、光学系全体を温度が一定に制御された空間内に設置するなどの対応が必要である。さらに自動的にアライメントのズレを補正するような機構も重要となる。

変調器類

光の位相や強度、周波数を変調する素子は光学実験に描かすことができない。強度変調器や位相変調器は、光パワーの安定化や干渉計の位相制御などに使用される。また、光量子コンピュータで計算する際、ホモダイン測定器のローカルオシレーター光の位相を切り替えるためにも使用される。これらの用途ではニオブ酸リチウム結晶を使用した導波路型の変調器がよく使用される。光周波数のシフトや、高消光比で高速の光スイッチが必要となる場合は音響光学素子がよく使用される。

制御装置類

光回路を安定化するためにはサーボアンプや、上述の変調器類を駆動するための装置が必要となる。

光量子コンピュータの部品リスト

上記で説明した光量子コンピュータ部品について下表でそれぞれの要素技術ごとに整理し、その必要仕様、用途、今後の開発要素について示す。

光源類

部品	仕様	用途	備考・今後の開発要素
連続光シードレーザー	PMF 出力 波長 1545.32 nm (等) 連続波発振	光量子プロセッサ用の 光源	線幅の狭窄化 (< 10 Hz)、 位相雑音低減 (< 100 dBc/Hz@10 kHz offset)
高出力光ファイバー増 幅器	PMF 入出力 出力 15 W 以上	上記シードレーザーを 増幅し、下記 SHG で十分 な出力を得られるパワ ーまで増幅する	高出力化 (> 20 W)、低雑音 化、ASE の抑制
第二高調波発生モジュ ール	基本波(1545.32 nm) > 7 W 二次高調波(772.66 nm) > 7 W	スクイーズド光源の励 起用として、波長 773.66 nm の光を生成	高効率化 (> 1000%/W)、ハ イパワー対応 (出力> 10 W)、耐久性・信頼性向上 (24/7 動作)
汎用光ファイバー増幅 器	PMF 入出力 20 dB 以上の利得		ASE の抑制
スクイーズド光源	自由空間もしくは PMF 出力 ロス補正無しで 8 dB 以上 のスクイージングレベル 帯域 THz 以上	スクイーズド光源	ロス補正無しで 15 dB のス クイージングレベル。帯域 > 10 THz

*PMF (Polarization-Maintaining Fiber) : 光の偏波状態を維持して伝送する光ファイバー

*SHG (Second-Harmonic Generation) : 入射光の周波数を 2 倍 (波長を 1/2) にする非線形光学現象

*ASE (Amplified Spontaneous Emission) : 光増幅器などで自然放出光が増幅されて生じる広帯域光
光学部品

部品	仕様	用途	備考・今後の開発要素
高反射率ミラー	R s-pol > 99.99%@1545 nm, AOI 45deg, dia 1 inch	量子光の伝搬用	s & p に対しても HR (99.99%)、低損失化 (loss < 1 ppm)、分散制御 (IGDD < 20 fs ²)
高反射率ミラー	R s-pol > 99.99%@1545 nm, AOI 45deg, dia 7.5 mm	量子光の伝搬用 ピエゾ素子を貼り付 け、光路差制御用	s & p に対しても HR (99.99%)、低損失化 (loss < 1 ppm)、分散制御 (IGDD < 20 fs ²)
ビームスプリッタ	R s-pol =99.6%@1545 nm, AOI 45 deg, dia 1 inch	ホモダイン測定用の BS	広帯域化 (IGDD < 20 fs ² @1530 - 1570 nm)、低 損失化 (loss < 1 ppm)
ダイクロイックミラー	HR@1545 nm, HT@773 nm, AOI 45 deg		広帯域化 (IGDD < 20 fs ² @1530 - 1570 nm)、低

			損失化 (loss < 1 ppm)
偏光ビームスプリッタ	HR s-pol, HT p-pol @1545nm, AOI 45 deg	量子光パス用の偏光ビームスプリッタ ビーム分岐や偏光純度の向上	低損失化 (> 99.9% s-pol, <0.1% p-pol)、消光比向上 (>10,000)、広帯域化 (1545 +/- 30 nm)
$\lambda/2$ 波長板	1545 nm、低ロス	量子光パス用の HWP	低損失化 (<0.1%)、広帯域化 (1545 +/- 30 nm)
$\lambda/4$ 波長板	1545 nm、低ロス	量子光パス用の QWP	低損失化 (<0.1%)、広帯域化 (1545 +/- 30 nm)
光学フィルタ	中心周波数 1545.32 nm, 3 dB バンド幅 1 nm、透過率 >98%	量子光パス用のバンドパスフィルタ	透過スペクトル形状のチューニング、低損失化 (透過 >99.5%)、阻止帯 (透過 <0.01%)
光学フィルタ	中心周波数 1545.32 nm, 3 dB バンド幅 0.3 nm、透過率 >95%	量子光パス用のバンドパスフィルタ	透過スペクトルのチューニング、低損失化 (透過 >99%)、阻止帯 (透過 <0.01%)
低損失レンズ	V coating@1550 nm, 1 inch, F = 30 ~ 1000 mm	量子光パス用のレンズ	低損失化 (透過率 > 99.9%)、高精度非球面もしくはアクロマート・アポクロマートによるコリメート光の波面エラーの抑制
光ファイバーパッチコード	PM1550XP, FC/APC など	光分配用	低結合損失化 (コネクタ種類不問、0.05 dB typ)、高 PER 化 (> 30 dB)

光検出器

部品	仕様	用途	備考・今後の開発要素
バランス型ディテクタ	帯域 >300 MHz, 検出効率 >98%@1545 nm, SNR >20 dB	ホモダイン測定用	広帯域化 (> 500 MHz)、高検出効率化 (>99.5%)、低雑音化 (SNR > 30 dB)
汎用ディテクタ	波長 1545 nm 用、帯域 10 MHz 程度、利得 3.3 kohm など	各干渉計のロック用など	小型化、低雑音化 帯域や利得は状況に応じて可変
光子数識別器	中心波長 1545 nm, 最大測定可能光子数 10 個、量子効率 90%、応答速度 100 ns	量子状態の生成	測定可能光子数 > 20、システム効率 > 98%、応答速度 (rise/fall times < 10 ns, 帯域 > 100 MHz)

オプトメカニクス

部品	仕様	用途	備考・今後の開発要素
高性能ミラーマウント	1 インチ光学素子用ミラーマウント・右手系	高安定ミラーマウント	高安定化 (+/- 1 urad, long term)
高性能ミラーマウント	1 インチ光学素子用ミラーマウント・左手系	高安定ミラーマウント	高安定化 (+/- 1 urad, long term)
高性能ビームスプリッタ用マウント	1 インチビームスプリッタ用マウント	高探偵ビームスプリッタマウント	高安定化 (+/- 1 urad, long term)

変調器類

部品	仕様	用途	備考・今後の開発要素
位相変調器	帯域 100 MHz, High-Z, 1545 nm 用, PMF	各種位相制御用（主にフィードバック制御などの低速用）	残留強度変調の低減 (< 0.01%)、低ロス化 (< 1 dB)、高 PER 化 (>30 dB)
位相変調器	帯域 40 GHz, 50 ohm, 1545 nm 用, PMF	各種位相制御用 (LO 用位相切り替え、サイドバンド生成用)	残留強度変調の低減 (< 0.01%)、低ロス化 (< 1 dB)、高 PER 化 (>30 dB)
強度変調器	帯域 100 MHz, High-Z, 1545 nm 用, PMF	各種強度変調用（主に強度安定化用）	低ロス化 (< 1 dB)、高 PER 化 (> 30 dB)、高消光比 (> 40 dB)
強度変調器	帯域 40 GHz, 50 ohm, 1545 nm 用, PMF	各種強度変調用	低ロス化 (< 1 dB)、高 PER 化 (> 30 dB)、高消光比 (> 40 dB)
音響光学変調器	40 MHz など, 1545 nm, PMF	周波数シフト用、スイッチング用	低ロス化 (< 1 dB)、高 PER 化 (> 30 dB)

制御装置類

部品	仕様	用途	備考・今後の開発要素
サーボアンプ	多チャンネル PI(D)制御	各干渉計の安定化	広帯域化（フィードバック帯域> 10 MHz）、低雑音化、多チャンネル化(>10)
ピエゾ駆動用アンプ	10 ch, 0 - 200 V, 帯域 10 kHz(小振幅), 100 Hz（大振幅）	ピエゾ素子へのフィードバック制御	広帯域化（大振幅）、低雑音化
AOM 用アンプ	4 ch, 200 MHz, 30 dBm、正弦波発生装置	AOM 駆動用	高出力化

ダイヤモンド色中心などのスピン量子ビットの技術動向

ダイヤモンド色中心・SiC 欠陥・シリコン欠陥などのスピン量子ビット研究は引き続き活発であるが、特に、(i) 近接表面 (shallow) 欠陥の電荷状態制御の高精度化、(ii) 分散型量子計算を見据えたフォトニク・インターコネクトのスケール化 (製造・組立の再現性)、(iii) 核スピン量子メモリを含む高忠実度制御の成熟が目立った。

まず NV 中心では、従来のグリーン励起による電荷初期化が状態準備誤差を生みうる点を踏まえ、近赤外+グリーンのマルチカラー励起により shallow NV の電荷初期化を高速化し、条件次第で 300 μ s で 95%、さらに~10 μ s で 90 %に到達しうるパラメータ領域が報告された。近接表面 NV はセンサ用途に加え、表面近傍に配置した色中心を用いる量子ネットワーク・量子インターフェースの拡張でも重要であり、制御誤差要因の一つである電荷揺らぎの低減に向けた実装的進展として注目される[23]。

SiV 中心については、去年の長距離伝送実証等の流れを踏まえつつ、さらに、分散型量子計算に必要な photonic interconnects の観点から、SiV 量子メモリをナノフォトニクスと統合し、高率かつスケーラブルに製造する基盤技術の重要性が強調されていた。IonQ (Machielse ら) から、SiV を量子メモリとしてフォトニックネットワークへ統合し、分散型量子計算の接続層として用いる開発アップデートが示された。関連して、薄膜ダイアのウエハスケール加工、熱圧着等による高歩留まりな異種集積、SiV-フォトニック結合 (高協同性) の実現などを含む“量産指向”のフォトニック量子インターコネクト基盤が報告されており、実験実証から製造工学への重心移動が進んでいる[24]。

SnV 中心では、超伝導 Nb 導波路をダイヤモンド膜上に集積し、加熱を抑えた RF 駆動により、SnV に結合した¹³C 核スピンを高忠実度で制御する成果が報告された。核スピンは~1.3 s の長いコヒーレンスを示し、単一量子ゲート忠実度 99.92 %が報告されるなど、ネットワーク型アーキテクチャで重要となる量子メモリ要素の成熟が進んでいる。

中性原子方式の技術動向

中性原子方式では、これまでの「大規模化 (物理量子ビット数の拡大)」に加え、特に、誤り訂正およびフォールトトレラント動作を現実の回路として成立させるための機能実装が中心話題として現れていた[25]。Atom Computing および関連グループからは、mid-circuit measurement を含む論理回路実行を長く継続する上で障害となる原子損失に対し、測定・再初期化・原子置換を計算を止めずに行う技術が報告され、繰り返し符号での多ラウンドシンドローム抽出や条件分岐など、誤り訂正計算の“運用”に近い実証が進展している[26]。

また、「フォールトトレラント量子計算」を明示的に掲げる成果 (256 量子ビット級での主張を含む) も出ており、中性原子方式が“将来有望”から“フォールトトレランス実演の競争”に移行しつつあることが示唆される[27]。

QuEra から、論理回路および物理 2 量子ゲート忠実度の改善に関するアップデート講演が設定されており、産業界の開発軸が誤り訂正・論理実行へ重心移動している点が確認できた[28]。

マイクロ波-光変換の技術動向

マイクロ波-光変換（量子トランスダクション）については、初版のような「方式の比較・ロードマップ上の位置付け」に加え、量子ネットワークで必要となる要件を満たすために、throughput（効率×帯域×デューティ比）と added noise を併用して性能を議論する枠組みが前面化し、“qubit 時間スケールに整合するスループット”が明確な目標として語られていた[29]。

また、変換効率そのものだけでなく、非古典状態（マイクロ波-光）の生成・ヘラルドに踏み込んだ報告が示されており、トランスデューサを量子チャネルとして使う方向の成熟が見られた[30]。

さらに、HBAR の多モードを利用した方式や、電気光学結晶を用いたクライオ互換のコンパクト・モノリシック実装など、実装形態の多様化と統合の具体化も進んでいる[31]。

小型ミリケルビン測定システム

大規模量子コンピューティングを支える研究開発向け技術として、冷凍機・測定系そのものの小型化や高スループット化にも注目した。APS Global Physics Summit 2026 では exhibit hall が設けられており、最新の製品・サービスを俯瞰できる構成となっていた。その中でも、量子チップ試作の評価サイクルを短縮することを狙った極低温評価装置や cryogenic probing ソリューションが印象に残った。

FormFactor 社からは、2026 年 3 月に卓上型ミリケルビン希釈冷凍機 Flatiron が発表された[32]。

Flatiron は量子デバイスの開発・特性評価・チップスケール検証を主用途とする benchtop platform であり、水平配置アーキテクチャにより試料交換を容易にし、到達温度は約 30 mK、装置サイズは約 150 cm × 80 cm、さらに 4 つの cryogenic window を備える点が特徴である。大型希釈冷凍機に比べて迅速な熱サイクルと試行錯誤を重視した設計であり、研究開発段階の高速な評価ループを支える装置として位置づけられている。また同社は Boulder, Colorado に cryogenic test lab を有し、4 K から 50 mK 未満までの cryogenic test services と custom probing support も提供している。

現地では Flatiron の実機展示に加え、筆者は同社拠点の見学を通じて、研究開発機の運用イメージも確認した。担当者によれば、将来的には mK 領域でのチッププロービングソリューションも視野に入れているとのことであり、小型希釈冷凍機とプロービング技術を一体で整備しようとする方向性は、今後の量子デバイス評価基盤として重要と感じられた。



図 19 FormFactor 社 Flatiron のカタログ写真[33]

一方、既存冷凍機へ後付けできるプロービングソリューションとしては qprobe 社の cryo-prober が興味深い[33]。qprobe は cryogenic electronics 向けの cryogenic probe station を展開しており、現行の cryo-prober は直径 80 mm の小型フォームファクタで 800 mK まで動作し、標準的な cryostat へ組み込めることを特徴としている。公式説明でも cryogenic electronics の例として superconducting qubits や spin qubits が挙げられており、小規模試作チップの迅速評価に適したアプローチである。また、KIUTRA 社の L-Type Rapid cryostat も、高速評価を強く意識した極低温測定系として印象的であった[34]。同装置は puck-based の自動サンプルローディング機構を採用し、試料の出し入れは 10 分未満、構成に応じて到達温度は 150 mK 未満から 50 mK 未満、ターンアラウンドタイムは 2~4.5 時間程度とされている。量子デバイスや材料試料に対して、従来よりも短いサイクルで極低温特性評価を回すことを明確に狙った製品であり、研究開発のボトルネックが「到達温度」だけでなく「評価の遅さ」にもあることを示している。

さらに、アカデミア側でも小型・高効率の希釈冷凍機への関心が高まっている。Institut Néel（フランス）から [35]、超小型冷凍機の方角性が紹介されており、小型冷凍機への関心が産業界・研究機関の双方で高まりつつあることがうかがえた。

量子コンピュータの大規模化への取り組み

大規模量子コンピュータの実現に向けた取り組みは、量子ビット数を増やすだけでなく、装置全体としての「実装可能性（配線・熱・空間）」「運用可能性（校正・制御）」「製造可能性（歩留まり・再現性）」を同時に満たすシステム設計の段階に入っている。特に超伝導方式では、チップ性能の向上に加えて、冷凍機内外の配線密度、低温段の熱予算、制御エレクトロニクスの配置、パッケージの組立性・交換性などがスケーリングの律速要因として前面化しており、展示会場でもこれらの“システム課題”に直結する提案が目立った。

QuantWare 社が 1 万量子ビットパッケージのモックアップを展示していた[]。同社が VIO 呼ぶ 3 次元実装アーキテクチャは、量子ビットチップに対して垂直方向にもチップを積層し、フィルタやアンプ等の機能回路を近接配置して統合する構想である。狙いとしては、(i) 配線長の短縮による信号劣化・反射の低減、(ii) 入出力 (I/O) の高密度化、(iii) 量子チップ周辺の受動部品や実装体積をパッケージ側へ集約することによる拡張性向上、などが挙げられる。

一方で、積層・高密度化は低温段の熱流入（配線・実装体積の増加）や、アクティブ部品導入に伴う発熱・ノイズ、テスト容易性（不良解析・交換性）といった新たな課題も招きうる。展示のモックアップは、こうした課題を前提に「量子チップだけでなくパッケージを含めた設計空間を広げる」方向性を強く印象付けるものであった。

高密度な配線を実現する手段として、冷凍機内部でフラットケーブル（柔軟基板・多芯同軸相当）の採用機運が高まっており、会場でも各社から関連ソリューションが展示されていた。フラットケーブルは、従来の同軸ケーブル束に比べて「実装の幾何学（束ね方・取り回し）」を規格化しやすく、組立・交換の作業性や再現性の観点で優位になり得る。また、線材・シールド構造・熱アンカー設計を含めた最適化により、配線密度を上げつつ熱流入を抑える設計が可能になる点も重要である。モックアップも含めて、Delft Circuits 社、Ardent 社、XMA 社などが出展していた。

- クロストーク／グラウンド設計：多芯化に伴い、隣接線間結合や共通インピーダンスの影響が顕在化するため、シールド・リターンパス・配線レイアウトを前提とした設計が必要となる。
- 周波数特性／損失：量子ビット駆動や読み出し周波数帯での挿入損失・反射・群遅延が、ゲート忠実度や読み出し分離に直接影響する。
- コネクタ・インターポーザ：高密度接続はボトルネックになりやすく、低温での接触安定性、繰返し着脱、アライメント許容差を含めた機械設計が鍵となる。
- 低温信頼性：熱サイクルに伴う応力、材料の熱収縮差、真空・極低温環境での長期安定性など、運用を見据えた信頼性評価が求められる。

大規模パッケージ、冷凍機内部配線の展示

FUJITSU

QuantWare社は
1万量子ビットパッケージの
モックアップを展示



ミニチュア版も→

各社が冷凍機内部高密度配線向け
ソリューションを展示

Delft Circuits社
フラットケーブル



ARDENT社
フラットケーブル



図 20 大規模化に関わる展示

また、大規模化の設計思想としては、(a) 1 台の冷凍機・1 枚のチップに集約するモノリシック路線だけでなく、(b) 複数モジュールを接続して拡張するモジュラー路線も並行して議論されている。後者では、モジュール間の高忠実度な量子接続（例：フォトリックリンク、マイクロ波－光変換等）に加えて、古典制御・同期・校正の分散化が本質課題となる。特に、量子ビット数が増えるほど手動キャリブレーションは破綻しやすく、測定系の多重化、制御エレクトロニクスの低温近接化（クライオ CMOS 等）、および自動校正・ドリフト追従を含む運用技術が“スケールの条件”として重要性を増している。

低温制御技術（Cryo-CMOS、SFQ）

超伝導量子コンピュータの大規模化に向けた技術のひとつとして、Cryo-CMOS や SFQ を使った低温制御技術開発の進展が目立った。IBM からは Cryo-CMOS での大規模な低温制御の実機実証について [37,38]、SEEQC からはフリップチップ実装 SFQ について [39-41]、imec からはミリケルビン動作の Cryo-CMOS によるマルチプレクサに関する発表があった [42,43]。さらに、imec が提案するようなマルチプレクサと相補的に関連するトピックとして、Chalmers 工科大学からは、そのようなマルチプレクサを有効利用するようなゲートスケジューリングや時間多重化について検討した研究発表があった [44]。

IBM が全マイクロ波方式から可変カプラ方式に移行したことは記憶に新しいが、それにより可変カプラの制御のための配線及び磁束制御装置が増えるため、実装密度や消費電力の影響で、制御装置をすべて室温に置くアーキテクチャでは大規模化が難しくなる可能性がある。その解決策として、IBM は、RF 制御装置は室温に、磁束制御は冷凍機内で行うハイブリッド方式を実装した。磁束制御に関しては、室温部にオーケストレーション用の制御装置を置き、冷凍機内に DAC を含む磁束パルス生成部を配置する構成になっている。各 16 チャンネルを有する 6 枚の ASIC からなる CCM（Cryogenic Control Module）が 5-20 K に配置され、これにより、量子プロセッサ上の可変カプラが制御される。このアーキテクチャの動作は IBM の Heron R2 チップ（156 量子ビット）を用いて検証された。比較のため、可変カプラのうち 95 個は Cryo-CMOS で、77 個は室温制御エレクトロニクスで制御された。その結果、CZ ゲートの EPG（Error Per Gate）の平均値は、Cryo-CMOS で 2.2×10^{-3} 、室温制御エレクトロニクスで 2.17×10^{-3} を示し、これらが同等の性能を示すことが実証された。また、長時間にわたる CZ ゲートの安定性についても調べられており、そのドリフトレートは $1.2 \sim 1.3 \times 10^{-4}$ EPG/day と、1 日スケールでの安定性を実現することも実証された。これらの結果は Cryo-CMOS によって量子ビット集積系の高精度な制御が可能であることを示すものであり、FTQC の実現に向けた超伝導量子コンピュータの大規模化において有望なアプローチのひとつであるということを深く印象付けるものであった。

SEEQC は、量子ビットチップに SFQ チップをフリップチップ実装するというアプローチを取っている。SEEQC の SFQ デバイスの特徴は、1 量子ビットゲート、2 量子ビットゲート、読み出しという基本操作すべてを担う、統合制御システムである事である。SFQ はそのクロックの速さと消費電力の低さというメリットがある一方で、従来のオンチップ実装では、準粒子汚染による量子ビットの性能低下が問題であった。今回、SEEQC は 5 量子ビットチップにおいてフリップチップ実装で SFQ ベースの超伝

導デジタル回路で作製したデジタルマルチプレクサを実装し、1量子ビットゲートでは最大で99.9%を超える忠実度を示した[39]。この高い忠実度の要因としては、SFQチップと量子ビットチップを接続するバンパが準粒子トラップになり、量子ビットチップへの準粒子の流入が抑制された結果と考えられると説明されていた。この構成の大きなメリットは、従来の室温から mK ステージに至る冷凍機内の長大な配線を削減することができることである。4 K ステージに配置する低温制御技術に比べても、そこからさらに、4 K ステージ-mK ステージ間の配線を削減することができる。さらに、2 量子ビットゲートについては、忠実度は 97%と改善の余地が残るものの、SFQ ベースの制御により可変周波数量子ビットの周波数制御による CZ ゲートの動作を実証した[40]。また、SEEQC はフリップチップおよびスプリットチップ構成での JDPD (Josephson Digital Phase Detector) による読み出しの動作も実証した[41]。

これにより、SEEQC はフリップチップ SFQ 実装で、1 量子ビットゲート、2 量子ビットゲート、読み出しという、従来室温エレクトロニクスで担っていた基本操作すべてについてその動作を実証したことになる。各忠実度は現状では室温エレクトロニクスには及ばないが、SFQ がこれらすべての基本操作を担うことができ、従来に比べて高密度、低消費電力な実装に向けた重要な役割を担うことができる可能性を示すものであった。

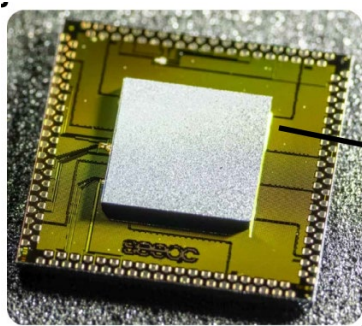


図 21 SEEQC の量子ビット-SFQ フリップチップ実装デバイス。下が SFQ チップ、上が量子ビットチップ[44]。

imec は Cryo-CMOS で 1 入力 4 出力のマルチプレクサを作り、その静的消費電力 200 pW という低消費電力性により 10 mK における動作を実証した。さらに、DC-8 GHz にわたって挿入損失 < 2 dB、アイソレーション特性 > 30 dB の性能を示し、量子ビットチップに接続しても 100 μ s 級のコヒーレンス時間を損なわないことを示した。デバイス単体でなく、10 mK で量子ビットと接続してその動作を実証し、量子ビット実装との両立性まで含めた検討が進んでいる点が重要である。

従来、Cryo-CMOS は 4K 動作を狙ったものが多かったが、mK ステージに置くことで、さらに 4 K ステージから mK ステージにかけての配線を削減することができる。このデバイスは DAC/ADC のように制御信号を生成/解析するものではなく、制御信号や読み出し信号の多重化およびルーティングを行うスイッチとしての役割が主である。そのため、複数の量子ビットを並列に同時に操作するためには、複数のマルチプレクサを用意し、それぞれにいくつかの量子ビットを接続する必要がある。それでも任意の量子ビットを同時に操作することはできないが、設計によってその不自由を軽減することができる。このアプローチは、制御の並列性を一部諦める代わりに、大規模化に向けて確実に配線量や熱負荷のようなハードウェア的な問題を解決しようという試みと考えられる。

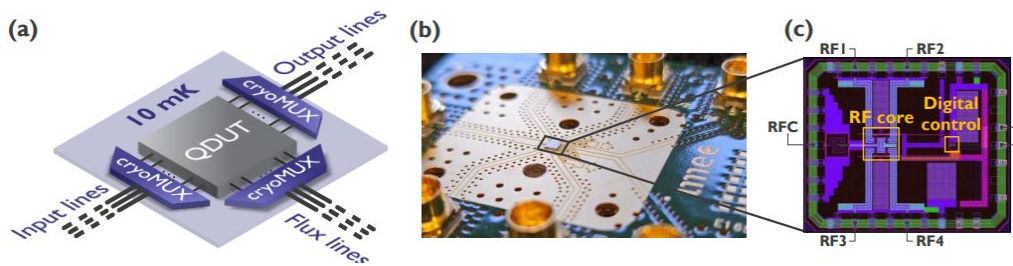


図 22 Imec の Cryo-CMOS デバイス。(a)マルチプレクサの使用例。量子ビットチップの周りに複数のマルチプレクサを接続し、それぞれで制御信号の入出力用、磁束信号用、のように役割を変えられる。(b)基板上のマルチプレクサチップの写真。(c)そのデバイス構成。

一般的に、制御信号の時間多重化については、量子回路のオーバーヘッド増加に伴いデコヒーレンスの受けやすくなってエラーが蓄積するため、誤り耐性の無い系ではその適用範囲を慎重に見極める必要がある。Chalmers 工科大学のグループは、超伝導量子コンピュータの大規模化のためには制御配線の多重化による配線数削減が必要であるとの課題意識に基づき、制御信号の時間多重化について検討した。対象としたセットアップは、1 量子ビットゲートは通常の RF 制御、2 量子ビットゲートは可変カプラの磁束制御で実装される系である。まず、この系における 2 量子ビットゲートについて、ひとつの量子ビットが同時に複数の 2 量子ビットゲートに関与しないようにするという原則によれば、同時に操作しないカプラの制御線と同じスイッチに接続すれば、実質的に量子回路の実行時間のオーバーヘッドの増加を伴わずに多重化できることが見出された。同じスイッチに接続できるカプラの割り当ては、図 23 (b) のようになる。

1 量子ビットゲートの時間多重化については量子回路のオーバーヘッドの増加は避けられず、いくつかのアルゴリズムで検討されたが、量子回路のオーバーヘッドの増加の仕方が概ね対数的で、その影響が従来考えられていたより軽い可能性が示唆され、imec の提案した低温マルチプレクサなどと相性の良い技術であることが窺えた。

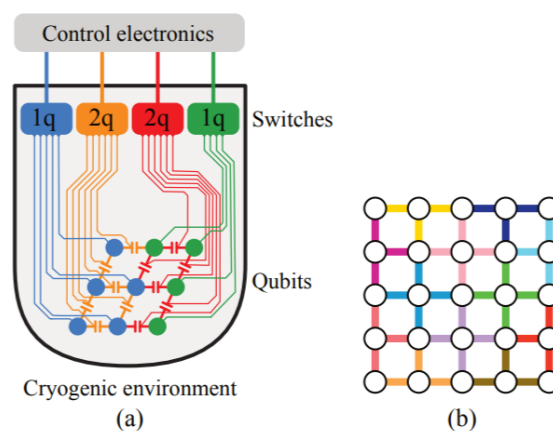


図 23 (a)スイッチを用いた制御線の多重化のイメージ。(b)同じスイッチに制御線を接続できるカプラの色分け[45]。

TLS は超伝導量子ビットにおいてコヒーレンス時間を損なう主要な要因のひとつである事はよく知られており、コヒーレンス改善に向けた研究課題の中心のひとつである。最近では、超伝導量子ビットの量子ビット数の増加や T_1 の改善といった研究開発の進展に伴い、効率的な TLS 分析を行うための手法開発や、長い T_1 の、大きな T_1 揺らぎを効率的に評価する手法開発などが進んでいる。

TLS 分析に関して、Rigetti から SWAP 分光を用いて TLS の性質を調べた結果について複数の発表があった[46,47]。SWAP 分光は、励起した周波数可変トランズモン量子ビットの周波数を掃引して TLS との共鳴周波数を探索する方法である。これにより、TLS 周波数および、量子ビットと TLS の結合強度、TLS の T_1 を調べることができる。[46]ではその分析手法と基礎的な結果が報告され、[47]では、さらにそこから、ジョセフソン接合の材料特性に踏み込んだ考察がなされていた。一般的に、TLS の分布はジョセフソン接合のアモルファス材料で形成されるバリア層に多く含まれていることが知られている。Rigetti はジョセフソン接合のバリア層 (AlOx) 形成時の酸化条件を変えた平均バリア層厚 1.37 nm と 1.76 nm のサンプルについて緩和レートを調べ、バリア層が薄い方が、 T_1 が約 3 倍長いという結果を示した。また、接合面積と TLS の関係についても調べられていたが、顕著な傾向は不明だとし、残る課題として挙げられた。

同セッションでとりわけ目を引いたのは、ダートマス大学のグループが開発した BCTDS (Broadband Cryogenic Transient Dielectric Spectroscopy) についての発表である[48,49]。量子ビットや共振器を直接的に TLS のプローブとして用いる従来の方法は、デバイス構造を作り込むために複雑な製造方法が必要とし、また、限られた比較的狭い周波数領域とモード体積内でしか欠陥を測定できなかったため、TLS の特性や起源を知るための十分な情報が得られているとは言えなかった。BCTDS の特徴は、プローブとして量子ビットや共振器が不要であること、サンプルとして、デバイスを作り込んだものでなく材料そのものを評価できることである。例えば、発表者らのグループでは、サファイア基板や、その上に形成した AlOx 膜、サファイア基板上のフォトレジスト膜、などが評価されていた。ただし、サンプルホルダーとなる広帯域導波管セルを含むセットアップが必要である点に注意が必要である。それ以外のセットアップは概ね一般的な超伝導量子コンピュータと同様である。BCTDS では、どの周波数帯域に TLS 集団の支配的なモードがあるか、どのような緩和ダイナミクスを持っているか、という情報が得られ、さらに、発表者らは実験結果から、TLS 同士の相互作用や記憶効果が示唆されていることを見出し、非マルコフな振る舞いを示していることを指摘した。この手法は量子ビットとしての実験のついでにできるものではないが、材料に注目した集団的な TLS の挙動を調べる上で画期的なツールになり得ると期待される。

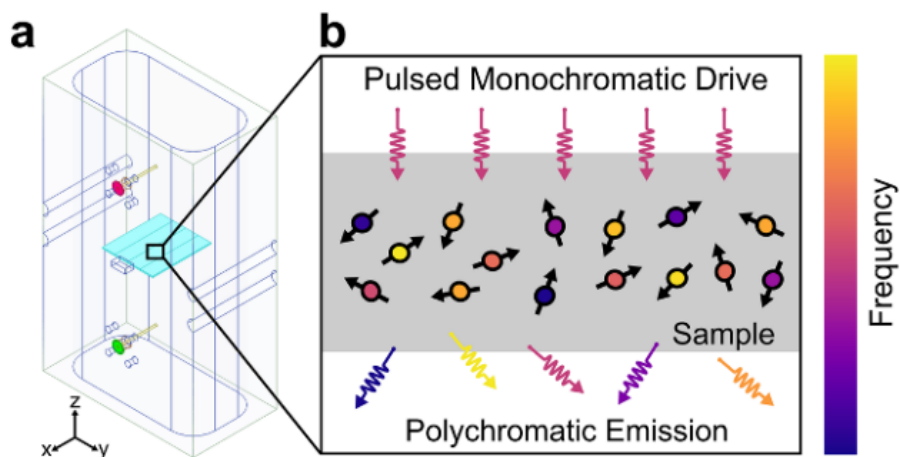


図 24 (a)BCTDS 実験に用いる導波管セルの模式図。(b)TLS 駆動用の入力パルスがサンプル中の TLS 集団を励起し、その後、様々な周波数で放射する様子を表した概念図[50]。

TLS 分析を効率的に回すための手法の開発も盛んである。NORDITA のグループは、2 トーン分光や SWAP 分光の画像データに対して機械学習の手法（CNN モデルを使用）を適用し、TLS 周波数、量子ビットとの結合強度、TLS の T_1 、 T_ϕ を抽出する手法を開発し、TLS 解析を効率化、高速化した。学習にはシミュレーションデータを用いたが、特に TLS 周波数および結合強度については実験データを良く再現し、その有用性が実証された。TLS の T_1 、 T_ϕ については周波数および結合強度の推定精度には劣るとし、課題が残ることも指摘した[51]。

データ駆動型の TLS 分析という観点で見ると、イリノイ大学のグループの報告が印象的であった。サンプルとしては、図 25 に示すような、TLS 分析のために作製した、大面積ジョセフソン接合アレイを含む周波数可変共振器を作り込んだデバイスを使用しており、ジョセフソン接合の製造プロセスとして 5 種類の異なるプロセスを比較している。ジョセフソン接合の材料は Al/AIO_x/Al である。TLS の観測方法は、TLS の性質の詳細が分かるような上述の分光法とは異なり、共振器の透過特性データからベイズ推定などを用いて TLS の密度を推定する方法をとっている。このグループは、この共振器の透過特性データと、それぞれ 6-10 個のジョセフソン接合を含む 700 枚以上もの STEM 画像データを収集し、TLS 密度と Al 電極の結晶粒径や配向、厚さ、粗さの関係を評価した。その結果、Al 電極膜厚が厚いほど、粒径が大きくなり、TLS が減少するという、強い相関を見出した[52]。この研究は、TLS を観測しやすいデバイス設計から、共振器透過特性による TLS 検出、STEM 画像データにおける材料的な特徴量との相関解析まで一貫して設計されており、上記の結論以上に、データ駆動型の TLS 分析という観点で印象的であった。

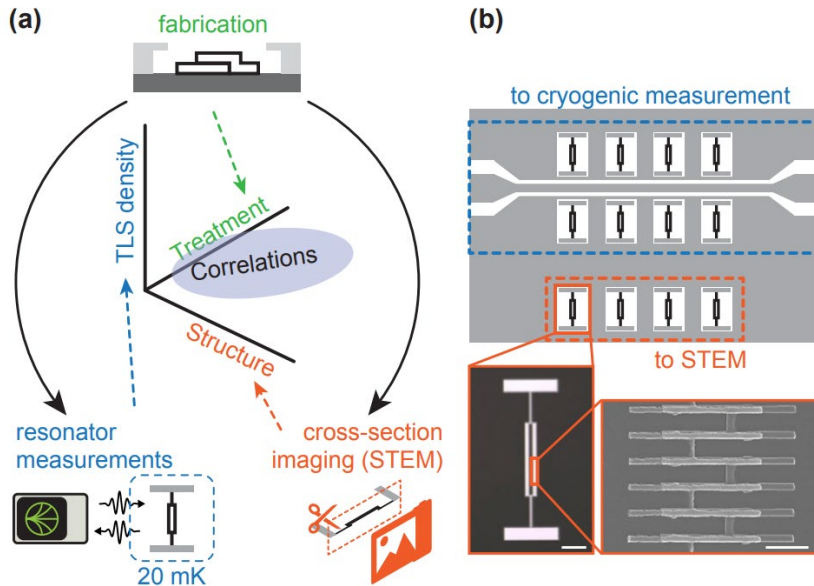


図 25 (a)データ駆動 TLS 分析の一連のシーケンスを示す概念図。デバイス作製と共振器透過測定、STEM 画像データを組み合わせて TLS 密度と製造プロセス、材料特性の相関を見出す流れを示している。(b)TLS 評価用の大面積ジョセフソン接合アレイを含む共振器デバイス。共振器の中に複数のジョセフソン接合からなるアレイが作り込まれている[53]。

デバイス作製後に外場によって TLS を制御する試みもある。超伝導量子ビットにおいて、 T_1 が長いほどその時間的な揺らぎが大きくなる法則性が知られており、 T_1 が改善するほど、短時間、少数点の測定で、そのデバイスの材料、製造方法の評価をすることができなくなっている。 T_1 改善が進んだがために生じた課題である。IBM の超伝導量子ビットは数 100 μs の T_1 を有するため、揺らぎの幅も 100 μs のスケールで揺らぐ。そこで、IBM は電場を印加することで TLS 周波数を制御する手法を元に、以下の 2 つの手法を開発した。ひとつは、TLS に印加する低周波 AC 電場をゆっくりと変調し、 T_1 揺らぎを平均化する方法である。これにより、その量子ビットが取り得る T_1 の平均的な値を抽出することができる。もうひとつは、ランダムな DC 電場を繰り返し印加しながら T_1 を測定する方法で、これを使えば、 T_1 の分布幅が分かる。従来、揺らぎを考慮した T_1 の統計的な量を評価するには、TLS 配置が自発的に変化する数十時間から数日間のスケールで T_1 の時系列データを取得する必要があったが、電場によって強制的に TLS 配置を動かすことで、短期に T_1 揺らぎの統計的な量を評価することが可能になり、それに伴って、ロバストかつ高速に量子ビットの Q 値を評価することが可能になった[54,55]。以上のように、傾向としては、本節の冒頭にも述べたように、研究開発の進展に伴う T_1 の改善や量子ビット数の増加に伴う、効率的な分析手法開発などが目立った。

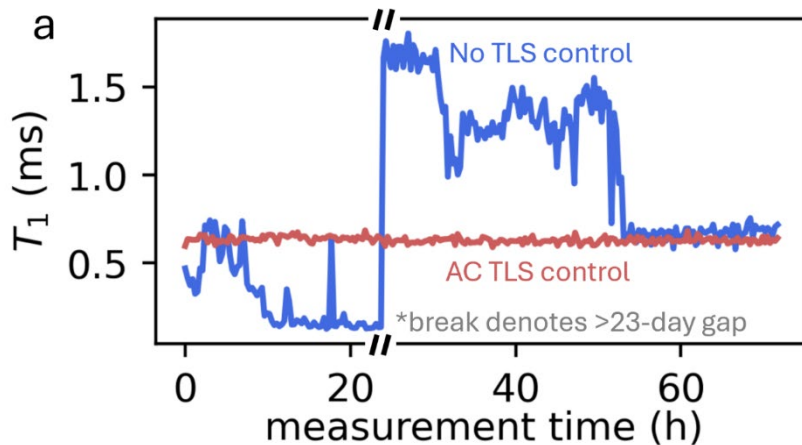


図 26 AC 電場なしとありの場合の T_1 の時系列データの比較。AC 電場の場合は揺らぎが平均化され揺らぎが小さくなっていることが分かる [55]。

量子ビットチップ設計手法のトレンド

量子ビット数の増加に伴い、チップ設計は「単一素子の最適化」から「システムとして成立する集積設計」へと課題が移りつつある。特に超伝導方式では、共振器・配線・パッケージ・フィルタ等が同一チップ上で強く結合するため、レイアウト上の微小な変更が周波数衝突、クロストーク、不要モード、損失増大などとして顕在化しやすい。このため近年の設計手法は、(i) 3次元電磁界 (EM) 解析の高精度化、(ii) 回路シミュレーションとの協調、(iii) 大規模化に耐える計算コストとワークフロー、の両立を中心に発展している。

超伝導量子ビットの設計・シミュレーションに関するセッションでは富士通から土手研究員が発表を行った。量子ビットを含む局所構造の3次元電磁界解析結果をSパラメータのとして切り出し、これらを接続することで大規模量子ビットチップ全体の応答を現実的な計算資源で評価可能とした。これは「高精度 EM 解析」と「回路レベルのスケールアップ」を橋渡しする、いわゆるモジュラー（分割統治）型シミュレーションの代表例である。

- 部分構造（量子ビットセル、読み出し配線、フィルタ、コプレーナ線路、パッケージ要素等）ごとの設計反復を維持したまま、チップ全体としての周波数配置・結合・反射を評価できる。
- 不要モードや箱モード（package/cavity modes）など「局所 EM+全体配線」で現れる問題を早い段階で検知し、レイアウトの修正指針を得られる。
- フル 3D 解析をチップ全域に対して毎回実行する必要がなくなり、計算コスト（メッシュ規模、収束時間）を大幅に抑えつつ精度を担保できる。

同様の流れはアカデミアからも報告されており、カリフォルニア大学バークレー校からはモジュラーシミュレーションのための回路解析方法という題目で、多導体伝送線路理論（multi-conductor transmission line）を併用することで、配線網の結合・分散特性を回路表現に落とし込み、3次元電磁界解析の適用範囲を“本当に必要な領域”へ限定する手法が提案されていた。量子ビットの大規模集積化が進むほど、EM 解析と回路解析を階層的に接続する設計手法は、計算効率だけでなく設計変更への追従性の観点からも重要性を増すと考えられる。

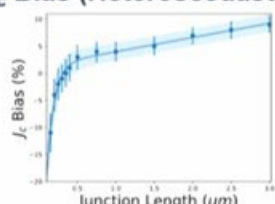
もちろん、大規模量子ビットチップ設計に向けた手法は回路レベルだけの話ではない。例えばチャルマース工科大からは、ハミルトニアンブロック対角化や対称性の利用といった計算上の工夫により、100 量子ビット以上の多体系でも有効なモデル化・評価が可能であることが示された。これは、素子設計（回路定数）とアルゴリズム／誤り訂正をつなぐ「中間スケール」の解析を現実的にするという意味で重要である。

また、ジョン・ホプキンス大学からは、ベイズ最適化を用いて量子ビット／共振器の幾何パラメータを自動探索し、目標周波数や結合条件を満たすレイアウトを効率よく得るアプローチが紹介された。さらに踏み込んで、製造プロセスばらつき（線幅・膜厚・酸化条件等）を確率的にモデル化し、ばらつき下でも性能劣化が小さいロバスト設計を志向していた点が印象的であった。量子チップが「研究用の一点物」から「再現性ある製造物」へ移行する局面では、最適化と DFM（製造性設計）を一体として扱う設計フローが重要になる。

Risk-Averse Bayesian Optimization (RABO)

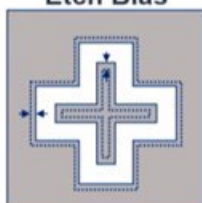
Design for Robustness Against Fabrication Variations

J_c Bias (Heteroscedastic)



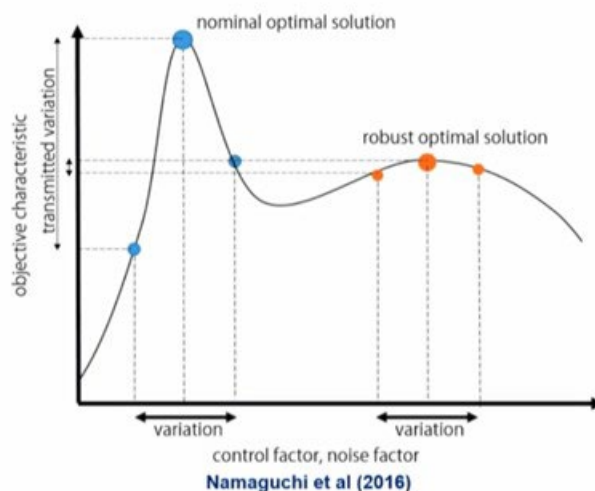
As-fabbed: $-8.7\% \pm 3.5\%$
With ABAA: $0.17\% \pm 0.34\%$

Etch Bias



Typical bias: $450\text{nm} \pm 30\%$

Bias data from SQUILL Foundry and Wang et al (2024)



Namaguchi et al (2016)

16 March 2026 | 22

図 27 製造ばらつき耐性を考慮した設計について（ジョン・ホプキンス大学）

超伝導量子ビット製造プロセスのトレンド

製造プロセスに関するセッション[56]では、超伝導量子プロセッサのスケール拡大を阻む要因として「配線混雑」と「真空・ギャップ構造の再現性」が繰り返し取り上げられていた。これらに対する代表的な解として、TSV (through-silicon via) による垂直配線と、インジウム (In) パンプを用いたフリップチップ接続を組み合わせ、配線自由度とパッケージ組立の再現性を同時に高める流れが明確であった。特に、(i) ウエハスケール TSV を超伝導プロセスへ統合する開発、(ii) In 接合で量子ビット面の汚染を抑えつつ高精度なギャップ制御を実現する提案が中心トピックであった。

まず TSV 関連では、MIT から、高アスペクト比 TSV をウェハスケールで作製し、形状バリエーションを含めた特性評価を行ったうえで、超伝導プロセスへ統合する開発が報告された。さらに、フリップチップ工程との整合（垂直配線を前提とした多段積層）まで視野に入れ、配線密度・プロセス互換性・実装信頼性を一体で検証するアプローチが示されていた。超伝導量子回路における TSV は、単なる高密度 I/O 技術ではなく、チップ／パッケージの設計自由度を拡張しつつ、再現性ある組立プロセスを成立させる基盤として位置付けられている。

次に In バンプ（フリップチップ）関連では、従来のように両チップ側へ厚い In バンプを形成する方法が「追加工程＝新規損失チャネル」になり得る点を踏まえ、In を主に制御チップ側へ偏在させ、量子ビットチップ側の加工を最小化する differential indium bonding が提示されていた。また、ポリマースペースを用いたギャップ狙い込みにより、標準偏差 70 nm・平均チルト 15 μ rad という具体値が示され、ギャップばらつきが量子ビット周波数（および結合）のばらつきへ直結することが定量的に示された。別の発表では、Au シード層を用いた In 電解めっきの再現性向上フローを示し、フリップチップ環境でのトランズモン／CPW 共振器測定から支配的損失機構を定量する、という位置付けで議論していた。総じて In バンプは、極低温で超伝導・延性を示しウェハスケール実装に適する一方、酸化膜と接合圧縮条件が接合抵抗（R）や臨界電流（I_c）に効きやすく、プロセス窓の管理が難しい。大気暴露で表面が酸化するため表面処理が有効な場合もあるが、処理由来の水素が Nb 系デバイスの超伝導特性を劣化させ得る点には注意が必要とされる。量子用途としては、(i) In 工程が Josephson 接合近傍の汚染・損失を増やすリスク、(ii) 熱膨張率差に起因する熱サイクル信頼性、(iii) ギャップ・チルトのばらつきに起因する共振周波数・結合のばらつきを主要課題として扱うべきであり、材料・工程・実装を跨いだ一貫した再現性設計が重要になる。

人工知能を用いた実験の自動化

人工知能を用いた実験の自動化[57]については、LLM や AI エージェントを用いて実験装置を自律的に制御し測定結果をフィードバックしながら次の操作を決める方法について議論がされている。近年、LLM や AI エージェントの発展は目覚ましくコーディングツールとして広く利用されているが、それをさらに推し進めて現実世界の実験装置までも人工知能を用いて制御するという内容となっていた。Kanta Ono 氏（大阪大学）の発表では、化学・材料系の実験装置では、装置自体の基本構造は長く大きく変わっていない一方で実験は人間の技能への依存が大きいという問題意識から、今まで人間が行っていた物質合成実験の全工程の自動化に関する事例を紹介していた。コーディングと異なり実際の実験ではコンピュータ内に作業がとどまらず現実世界における作業が発生するが、紹介された事例では例えばロボットアームを用いることで現実世界の作業をコンピュータ内から操作できるようにしていた。こうすることで人工知能によるロボットアームを用いた粉末混合などが可能となるのである。人工知能による操作を行う際には、カメラやマイクを用いて視覚・聴覚情報をフィードバックすることで人間が作業する際と同じ情報を人工知能に与えていた。

従来は人間の手が必要な作業が人工知能により代替可能であることを考えると、量子コンピュータの基礎測定のようなもともとコンピュータを介する実験については当然に人工知能による代替は可能であると推察される。実際、量子コンピュータ関連のセッションでは T1 測定を AI エージェントを用いて行っ

たという報告があった[58]。まず論文の PDF を Gemini に読み込ませて一般的な操作手順をテキストで生成させた後に、研究室固有の知識を持つ LLM に測定スクリプトを生成させて、AI エージェントがそのスクリプトを用いて実験を行う、というものだった。実験結果からさらにフィードバックを得て次に何を測定すべきかを AI エージェント自身が考え、最終的なレポートを作成するまでを人工知能が担っていた。量子コンピュータの大規模化が進めば量子ビットの基礎測定と較正作業の人手での実施は将来的にボトルネックとなりえるため、早期に人工知能を用いた作業の自動化を進めることは重要だと感じた。

超伝導量子回路の設計・モデリングの技術動向

研究の関心は周波数可変方式に移行していることが見受けられた。また、企業を中心に量子回路の大規模化を前提とした発表が複数見られ、典型的にはデータビット 25 個・カプラ 40 ビット程度の系を対象とした回路設計の最適化、量子ビット挙動のモデリング(局所性の評価、経時変化、クロストーク)、制御パルスの最適化などの報告があった。

量子ビットの構成としては fluxonium を採用した発表が多く見られた。transmon は成熟した既知の技術として扱われ、研究の主眼はその応用に移っているものと考えられる。また、アメリカの研究コミュニティでは fluxonium への関心が特に高い傾向があるという。典型的な構成として、データビットを fluxonium、カプラを transmon とする発表が複数あった。この構成は FTF(Fluxonium-Transmon-Fluxonium)と呼ばれ、カプラを介した結合経路と直接結合の量子干渉によるキャンセルを利用して residual ZZ 結合を抑制できることが知られている [59]。

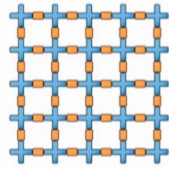
大規模系のモデリング手法に関しては、テンソルネットワーク計算の適用が注目された。Alice & Bob および Google のグループからは、基底状態計算に用いられる密度くりこみ行列群(DMRG)を励起状態に拡張したアルゴリズム DMRG-X を採用し、多体系の dressed frequency や非線形性を摂動なしで計算する手法が報告された。応用例として特に同時読み出し(simultaneous readout)への適用が報告された [60]。

Chalmers University of Technology からは、100 量子ビット以上の大規模系の計算を実現するアプローチとして、flow equation を解く手法が提案された。各量子ビット・カプラが互いに相互作用しない孤立系を出発点とし、そこから目的の相互作用系まで連続的なユニタリー変換でハミルトニアンを徐々に変形していくことで、系の固有状態・固有エネルギーを求める。直接対角化のように指数的に増大する計算コストを回避でき、GPU を活用することでメモリ使用量を多項式スケールに抑えることが可能である。静的パラメータのみならずダイナミクス解析にも適用可能であり、可変カプラを含む 25 量子ビット系への適用例が報告された(図 28)。

The idea: "Exit" Hilbert space with continuous unitary transformations

The problem

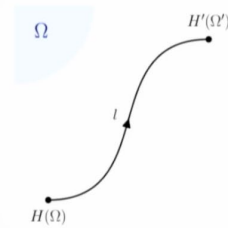
Many-body states are exponentially large in memory



Qubit
 Coupler

$$\mathcal{O}(d^N)$$

Continuous unitary transformations



Effective models:

- ✓ Block-diagonal
- ✓ U(1)-symmetric
- ✓ Diagonal

Flow equation

$$\partial_l H(l) = [\eta(l), H(l)]$$

$$\mathcal{O}(N^{2K})$$

Poly. memory to compute for K-body expansions:

$$\text{Ex: } H = \sum_{ij} H_{ij} a_i^\dagger a_j + \sum_{ijkl} H_{ijkl} a_i^\dagger a_j^\dagger a_k a_l + \dots$$

M.T. Chu & K. R. Driessell, SIAM J. Numer. Anal. 27, 4 (1990)
 S. D. Glazek & K. G. Wilson, Phys. Rev. D, 48, 12 (1993)
 F. Wegner, Ann. Phys., 506, 2 (1994)
 S. J. Thomson, & M. Schirò, SciPost Phys. 14, 125 (2023)
 © J. Thomson & I. Eliezer Nat. Phys. 20, 9 (2024)

図 28 連続ユニタリー変換で大規模系を計算する例。65 量子の系を扱っている。

Johns Hopkins University からは、マルチフィデリティ・ベイズ最適化(MFBO)を用いた量子デバイス設計の高速化手法が報告された。Lumped element から電磁界シミュレーション(HFSS 等)まで計算精度の異なるモデルを組み合わせ、ベイズ最適化を用いて surrogate model を構築することで、可変カプラ系の設計最適化を大幅に高速化できることが示された。またプロセスばらつきに対してロバスト性をもたせる設計パラメータの抽出手法(RABO)への展開も紹介された。実用的な量子ビット回路の設計のためには非常に重要な視点である。

IQM Quantum Computers からは、超伝導プロセッサのデバイス設計・モデリング・性能評価を統合したワークフローが紹介された。オープンソースツール KQCircuit を用いたエネルギー参加率(EPR)計算により、大規模モデル(65 ビット)内の 2 量子ビット CZ ゲートにおける、データビットとカプラビットの T1 にトレードオフの関係があることが計算で示された(図 29)。スケールの非常に小さな EPR のシミュレーションと大規模な回路のシミュレーションを連携させる例として重要である。

Design and simulate with KQCircuits!

Create elements or choose from library

Qubits

Capacitors

SQUIDs

Waveguides

Design chips – **multilayer!**

Simulate (2D/3D)

- S-matrix extraction
- Capacitance and inductance extraction
- Eigenmode
- Energy participation ratios (EPRs)
- Kinetic inductance for a given penetration depth

<https://github.com/iam-finland/KQCircuits>

Gmsh

CSC

Elmer

Ansys

ParaView

slurm

singularity container

HPC!
Open source!

March 26 meetinggo.com

図 29 オープンソースの量子回路設計・解析プラットフォーム KQCircuit の紹介[61]。

なお、上記を含め設計・解析ツールをオープンソースとして公開する発表が複数見られたことも印象的であった。ツールの共有・整備が業界全体で進んでいることを示すものであり、今後の設計環境の変化として注目される。

エラー訂正・エラー保護の技術動向

表面符号等のエラー訂正(error correction)技術は設計自由度が比較的高く実証も進んでいるが、多数の物理ビットで論理ビットを構成するため実装効率が良くない。これを改善する取り組みとしてボソニック符号等の研究が知られているが、今回の会議ではこれらを超伝導回路上に実装する発表が複数見られた点が印象的であった。

GKP(Gottesman–Kitaev–Preskill)符号や猫(cat)状態などの波動関数の性質をエラー検出・訂正に活用するボソニック符号の超伝導量子回路への実装が報告された。また、符号空間を限定することでデコヒーレンスやリークageエラーを検出可能にする dual-rail 方式、さらにチャージ誘起エラーに対して強い耐性を持つ $0-\pi$ qubit の $\cos(2\phi)$ ポテンシャルの実装や、実現方法は確立されていないが $\cos(4\phi)$ 回路の理論提案等の報告も見られた。これらはいずれも、量子ビット自体にエラー保護の機能を持たせることで、エラー訂正に必要な物理ビット数を削減することを狙いとしたアプローチである。 $0-\pi$ qubit はチャージノイズおよびフラックスノイズの両方に対して指数関数的な保護を持つ設計として知られている。

また、表面符号の操作を効率化するアプローチとして、3 量子ビット以上の同時ゲート操作の提案・設計・実証の報告が複数あった。同時ゲート操作はゲート数の削減によるエラー低減効果も見込まれる。実用的な規模のエラー訂正の実現には、シミュレーションおよび実測からフィデリティを悪化させるボトルネックを特定し設計・プロセスへフィードバックするサイクルの重要性も指摘されていた。

エラー訂正機能を搭載して量子コンピュータ実現のためには非常に多数の量子ビットおよび可変カプラを制御する必要がある。現状では各ビットの制御と読み出し、可変周波数の調整ラインを基本的には個別に冷凍機の外からコントロールしており、配線問題として大規模化の課題となっている。

その対応として、グローバル制御(global control)を活用したアーキテクチャの理論的検討が報告された(Planckian srl/LANL)。1990年代から提案されているグローバル制御の概念を現代の超伝導量子回路に適用し、大規模な ZZ 相互作用を利用してアレイ全体をグローバルな制御場で駆動し、論理演算を多体ダイナミクスに埋め込む手法である。実験実証は 2 量子ビット系にとどまっているが、ユニークなアプローチとして興味深い。

配線問題の別の解決策として、時間多重化(time multiplexing)を取り入れた大規模量子回路の制御に関するシミュレーション報告もあった(WACQT)。多重化導入時のクロストークやオーバーヘッドについて定量的な評価が示された。

また、IBM からは周波数制御の部分を冷凍機内に cryo-CMOS として実装した報告があった。図 4 に示す通り、標準的な構成では周波数可変のための外部コントローラのラックが制御系の大半を占めており、これを 4K 以上の cryo-CMOS に置き換えることで大幅に制御系を簡略化できる。報告では実際に設計した ASIC を用いて、cryo-CMOS による温度変化があってもゲート操作のエラーを現状と同等に抑えることができることが発表されていた。

長距離カプラ(数 cm)に関しては、共振器を分割することで高周波化・帯域集中を実現し residual ZZ を抑制するマルチ共振器カプラの提案が報告された。長距離接続はモジュラーアーキテクチャの実現に向けて重要な技術要素であり、今後の動向を注視したい。

中国の研究開発状況

中国においては、中国科学技術大学による大型の超伝導量子コンピュータが開発され続けている。105 量子ビットを実現する Zuchongzhi 3.0 が開発され [62]、そのうちの 95 量子ビットを用いた量子シミュレーションの実験 [63] や、Zuchongzhi 3.0 と同種の超伝導量子プロセッサを用いたクラウドサービス Tianyan を公開し、量子優位性をもつ量子コンピュータの利活用に関する研究が期待されている [64]。さらに誤り耐性量子コンピュータの基礎技術検証として、Zuchongzhi 系の超伝導量子プロセッサを用いて、表面符号の実装と論理量子ビット上における論理操作の実証実験が進められた [65]。複数の論理量子ゲート実装におけるフックエラーの存在が実験より明らかとなり、誤り耐性量子計算の研究開発も新しい局面を迎えている。

また浙江大学では、最大 60 量子ビット規模の量子コンピュータが開発されており、多体の量子相関状態の実証に成功している [66]。近年注目すべきは、量子ビットの隣どうしのみを結合するのではなく、隣接量子ビットから離れた量子ビット間を結合する 32 量子ビットプロセッサ Kunlun (崑崙)を開発し、表面符号よりさらに符号効率の高い qLDPC 符号の実装に成功している点である [67]。誤り耐性量子コンピュータの実装においても、表面符号や qLDPC など、その量子コンピュータの実装様式が

多様化しており、それに伴ってチップ実装方式、配線様式、制御装置、信号処理回路であるデコーダも含めて多様化している。

全体を通じて、量子コンピュータの大規模化に向けた研究開発が設計・モデリング・エラー対策の各層で急速に進んでいることが改めて確認された。特にボソニック符号(GKP、猫状態、dual-rail)や新方式量子ビット($0-\pi$ qubit 等)の超伝導回路への実装は、現時点では基礎研究段階であり汎用ゲート設計の自由度など実用化への課題は残るものの、将来的に物理ビットあたりの実装効率を大幅に改善しうる技術として継続的に動向を追うべきである。また、大規模系のシミュレーションにテンソルネットワーク・GPU 計算が広く活用されており、さらに関連ツールのオープンソース化も活発であることから、設計環境の整備・高度化が業界全体で加速していることも印象的であった。

今後の方針

今回作成した技術ロードマップ・俯瞰図を企業・団体等に広く提供することで、非量子分野の中小企業を含む、産業界の量子コンピュータ開発への参入や、新たなスタートアップ企業の参入・創出を加速し、安定的かつ強靱なサプライチェーンの実現を目指しつつ、超伝導方式および光方式以外の量子コンピュータの技術方式（中性原子方式、イオントラップ方式など）についても調査を進め、ロードマップを策定する予定である。また、これらの活動を通じて、日米欧の量子コンピュータを相互利用する体制の確立へ貢献することも目指す。

参考文献

- [1] <https://www.bnzttech.com/>
- [2] <https://www.nardamiteq.com/>
- [3] <https://bbn-jpa.myshopify.com/>
- [4] <https://quantware.com/product/peripherals>
- [5] <https://www.scalinq.com/solutions/vidar-duplicat/>
- [6] <https://silent-waves.com/products/>
- [7] <https://vasta.sg/>
- [8] <https://bluefors.com/products/measurement-infrastructure/microwave-readout-module/>
- [9] M. Mohseni *et al.*, "How to Build a Quantum Supercomputer: Scaling from Hundreds to Millions of Qubits", arXiv:2411.10406 (2024); A. Opremcak *et al.*, "High-Fidelity Measurement of a Superconducting Qubit Using an On-Chip Microwave Photon Counter", Physical Review X **11**, 011027 (2021).
- [10] <https://lownoisefactory.com/>
- [11] <https://www.nfcorp.co.jp/>
- [12] Y. Zeng *et al.*, "A 100- μ W 4–6 GHz Cryogenic InP HEMT LNA Achieving an Average Noise Temperature of 2.6 K", 2022 Asia-Pacific Microwave Conference (APMC), (DOI: 10.23919/APMC55665.2022.9999965); Y. Zeng *et al.*, "Sub-mW Cryogenic InP HEMT LNA for Qubit Readout", IEEE Transactions on Microwave Theory and Techniques **72**, 1606 (2024).
- [13] <https://www.nardamiteq.com/cryogenic-low-noise-amplifiers/>
- [14] <https://www.amplitechgroup.com/applications/quantum/>
- [15] <https://with-wave.com/cryo-lna/>
- [16] https://nitsuki.com/news/chronological/quantum_computer.html
- [17] D. Parker *et al.*, "Degenerate Parametric Amplification via Three-Wave Mixing Using Kinetic Inductance", Physical Review Applied **17**, 034064 (2022); C.-C. Hung *et al.*, "Broadband kinetic inductance parametric amplifiers with impedance engineering", Physical Review Applied **24**, 064019 (2025);
- [18] <https://qubitech.co/media/qubic-announces-sale-of-cryogenic-amplifiers-to-quantum-machines/>
- [19] https://en.wikipedia.org/wiki/Direct_digital_synthesis
- [20] X. Y. Jin *et al.*, "Thermal and Residual Excited-State Population in a 3D Transmon Qubit", Physical Review Letters **114**, 240501 (2015)
- [21] S. Efthymiou *et al.*, "Qibolab: An open-source hybrid quantum operating system", arxiv: 2308.06313
- [22] H. Ball, "The role of master clock stability in quantum information processing", npj Quantum Information **2**, 16033 (2016)
- [23] NV Centers and other Defects in Diamond
<https://summit.aps.org/smt/2026/events/MAR-A10>
- [24] Defects for Quantum Applications
<https://summit.aps.org/smt/2026/events/MAR-G10>

- [25] Quantum Error Correction with Neutral Atoms: Theory and Experiment
<https://summit.aps.org/smt/2026/events/MAR-P04>
- [26] Neutral Atom Quantum Processors
<https://summit.aps.org/smt/2026/events/MAR-L03>
- [27] Fault-tolerant quantum computation with a neutral atom processor
<https://arxiv.org/abs/2411.11822>
- [28] Neutral Atom Quantum Processors
<https://summit.aps.org/smt/2026/events/MAR-L03>
- [29] Hybrid Quantum Systems
<https://summit.aps.org/smt/2026/events/MAR-U29/1>
- [30] Superconducting Strategies For Manipulating and Detecting Quanta
<https://summit.aps.org/smt/2026/events/MAR-Z15/5>
- [31] Quantum Transduction
<https://summit.aps.org/smt/2026/events/MAR-A06/3>
- [32] FormFactor 社 プレスリリース <https://www.formfactor.com/press-release/formfactor-introduces-flatiron-dilution-refrigerator-for-benchtop-millikelvin-research-and-quantum-hardware-validation/>
- [33] qprobe 社 製品紹介 <https://www.qprobe.ch/products/cryo-prober/>
- [34] KIUTRA 社 製品紹介 <https://www.qprobe.ch/products/cryo-prober/>
- [35] C. Geffroy (Institut Neel), “An ultra-compact dilution refrigerator for quantum device characterization and education, reaching millikelvin temperatures within an hour”
<https://summit.aps.org/smt/2026/events/MAR-U15/8>
- [36] QuantWare 社 製品紹介 <https://quantware.com/news/quantware-announces-scaling-breakthrough-with-vio-40k>
- [37] Devin L Underwood (IBM Quantum), MAR-M05:2 “A Cryo-CMOS Control System for Large-Scale Superconducting Qubit Quantum Computing: Part 1”
- [38] Ari Noori (IBM Quantum), MAR-M05:3 “A Cryo-CMOS Control System for Large-Scale Superconducting Qubit Quantum Computing: Part 2”
- [39] Caleb Jordan (SEEQC), MAR-M05:6 “Integrating cryogenic digital multiplexing with superconducting qubits”
- [40] Aaron Somoroff (SEEQC), MAR-L07:1 “Flux Activated Controlled-Z Gate with a Cryogenically Integrated Digital Flux Controller”
- [41] Luigi Di Palma (SEEQC), MAR-U06:3 “Cryogenic on-chip readout of a superconducting qubit”
- [42] Liam M Fallik (KU Leuven, imec), MAR-L07:2 “Ultra-low power CryoCMOS RF multiplexer for qubit control at millikelvin temperatures”
- [43] Anton Potocnik (imec), MAR-L07:3 “CryoCMOS from 4K to millikelvin temperatures for quantum computing”

- [44] Anton Frisk Kockum (Chalmers University of Technology), MAR-M05:5 “Benign overhead in quantum circuits with tim-multiplexed qubit control”
- [45] Marvin Richter et al., “Overhead in Quantum Circuits with Time-Multiplexed Qubit Control”, arXiv:2508.20752
- [46] Rory Cochrane (Rigetti), MAR-A15:2 “Methods for Describing and Comparing TLS Impacts”
- [47] Cameron Kopas (Rigetti), MAR-A15:3 “Analyzing TLS across Josephson Junction process parameters”
- [48] Mattias Fitzpatrick (Dartmouth), MAR-A15:7 “Broadband Two-Level System Defect Spectroscopy”
- [49] (Dartmouth), MAR-A15:8 “Spectroscopy and Coherent Control of Two-Level System Defect Ensembles Using Broadband Cryogenic Transient”
- [50] Qianxu Wang et al., “Spectroscopy and coherent control of two-level system defect ensembles using a broadband 3D waveguide”, Mater. Quantum. Technol. 5 045201, (2025)
- [51] Avinash Pathapati (NORDITA), MAR-A15:4 “Accelerated characterization of two-level systems in superconducting qubits via machine learning”
- [52] Harshvardhan Mantry (University of Illinois), MAR-G15:1 “Correlating reductions in TLS density in Josephson junctions with fabrication methods and microstructure”
- [53] Oliver F. Wolff et al., “Structure control of two-level defect density revealed by high-throughput correlative measurements of Josephson junctions”, arXiv:2602.11127 (2026)
- [54] Andrew Edward Dane (IBM Quantum) MAR-G15:4 “Towards characterizing TLS that impact superconducting qubits”
- [55] Andrew Dane et al., “Robust quality factor assessment of high-coherence superconducting qubits” npj Quantum Inf. Article in press (2026)
- [56] Superconducting Qubit Fabrication: Wiring and Vacuum Structures
<https://summit.aps.org/events/MAR-C15>
- [57] AI Agent for Autonomous Control and Closed-Loop Experimentation
(<https://summit.aps.org/events/MAR-P42>)
- [58] Shiheng Li, *et al.*, arXiv:2603.08801, Large Language Model-Assisted Superconducting Qubit Experiments (<https://arxiv.org/abs/2603.08801>)
- [59] J. An et al., “ZZ-Free Two-Transmon CZ Gate Mediated by a Fluxonium Coupler”, arXiv:2511.02115 (2025)
- [60] S. González-García et al., “Multi-Target Density Matrix Renormalization Group X algorithm and its application to circuit quantum electrodynamics”, arXiv:2506.24109
- [61] <https://iqm-finland.github.io/KQCCircuits/>
- [62] Establishing a New Benchmark in Quantum Computational Advantage with 105-qubit Zuchongzhi 3.0 Processor, arXiv:2412.11924 (2025)
- [63] Generation of 95-qubit genuine entanglement and verification of symmetry-protected topological phases, arXiv:2505.01978 (2025)
- [64] Tianyan: Cloud services with quantum advantage, arXiv: 2512.10504 (2025)

- [65] Surface code logical operations on a superconducting quantum processor, arXiv:2607.01473 (2026)
- [66] Creating and controlling global Greenberger-Horne-Zeilinger entanglement on quantum processors, arXiv:2401.08284
- [67] Demonstration of low-overhead quantum error correction codes, arXiv:2505.09684

謝辞

本報告書は、内閣府の政策である「戦略的イノベーション創造プログラム（SIP）」の第3期課題「先進的量子技術基盤の社会課題への応用促進」における、サブ課題「量子コンピューティング」研究開発テーマ A-4「大規模量子コンピュータシステムに向けたロードマップ等作成（研究開発責任者：産業技術総合研究所 昆 盛太郎）」の支援を受けて作成された。本報告書の作成にあたって、調査およびヒアリングにご協力いただいた多くの企業、研究機関、大学等の関係者の皆様に深く感謝する。

なお、本報告書に記載されている内容は、各項目における調査時点の内容であり、現在は状況が変化している可能性があることに注意されたい。今後も調査を継続し、随時情報のアップデートを行う予定である。

著者

国立研究開発法人産業技術総合研究所

昆 盛太郎
荒川 智紀
猪股 邦宏
浦野 千春
金子 晋久

国立研究開発法人理化学研究所

田渕 豊
阿部 英介

富士通株式会社

土肥 義康

日本電気株式会社

五十嵐 悠一
川上 洋平
加納 勇也

本ロードマップの一部または全部を引用の範囲を超えて、無断で転載・複製することを禁ずる。