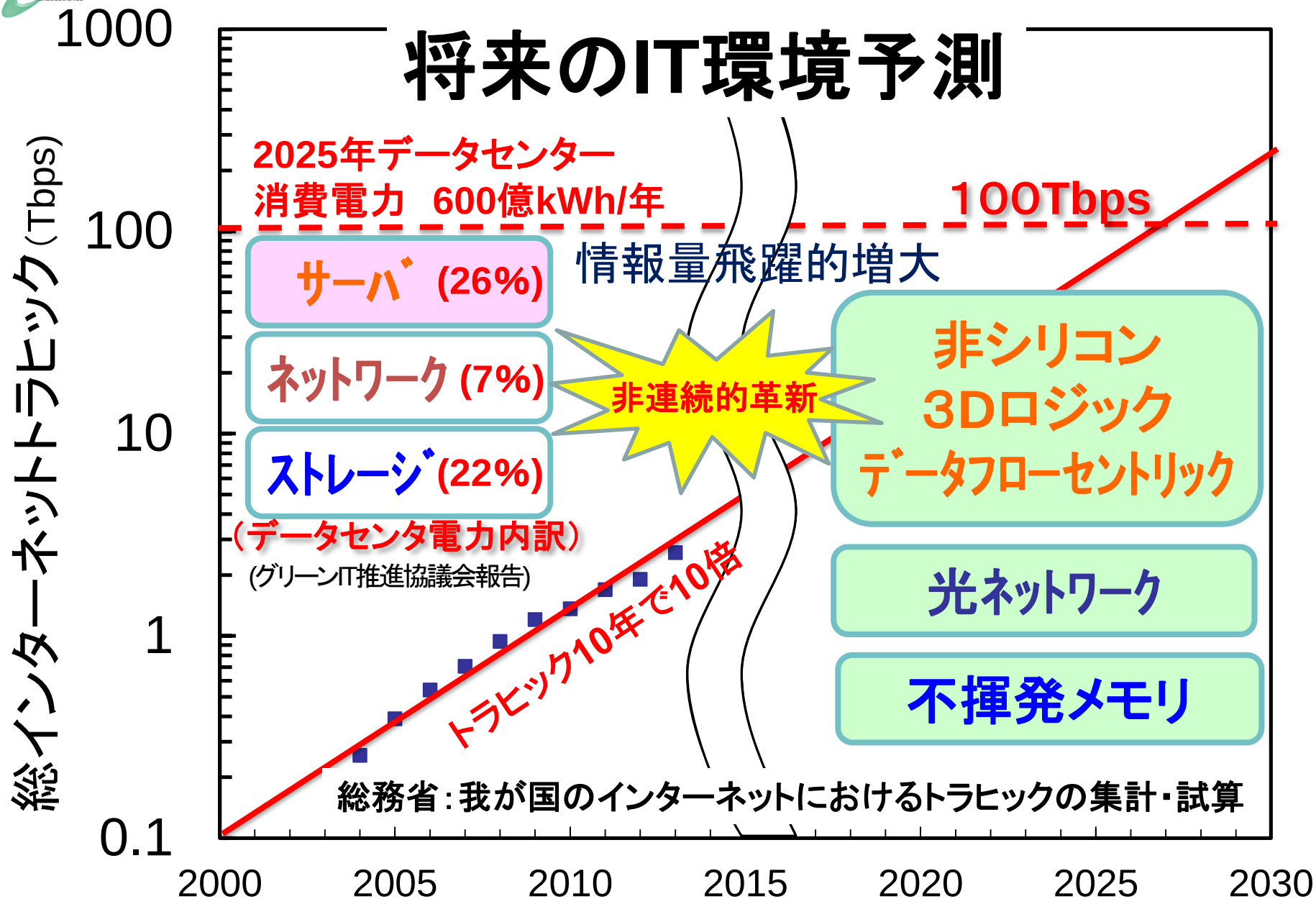


IMPULSEシンポジウム

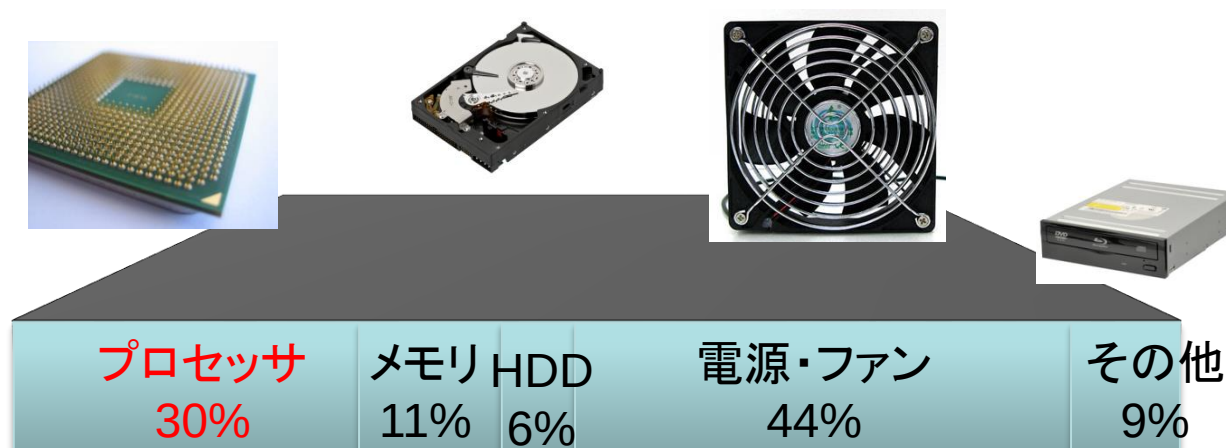
「三次元集積に向けたGeトランジスタ」

**産総研 ナノエレクトロニクス部門
新材料デバイス集積グループ**

遠藤和彦



サーバーの消費電力内訳



サーバー電力の30%をプロセッサが消費

LSIチップの低消費電力化が鍵

LSIの消費電力

動作時消費電力

待機時消費電力

$$P = \alpha \cdot C \cdot V_{DD}^2 \cdot f \cdot n + I_{leak} \cdot V_{DD}$$

インターコネク
Low-k 材

低電圧化
高移動度材料

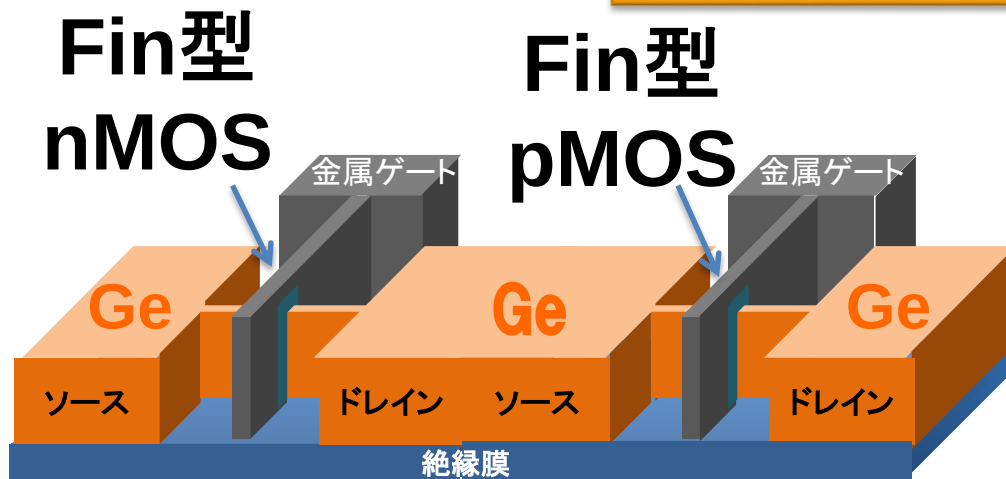
新材料・新構造
High-k
FD-SOI
マルチゲート

ゲルマニウムのメリット

材料	電子移動度 $\text{cm}^2/\text{V}\cdot\text{s}$	正孔移動度 度 $\text{cm}^2/\text{V}\cdot\text{s}$	融点 $^{\circ}\text{C}$
シリコン	1350	370	1410
ゲルマニウム	3900	1900	983
砒化ガリウム	9200	400	

省電力ロジック (IMPULSE)

Geトランジスタ技術



課題:

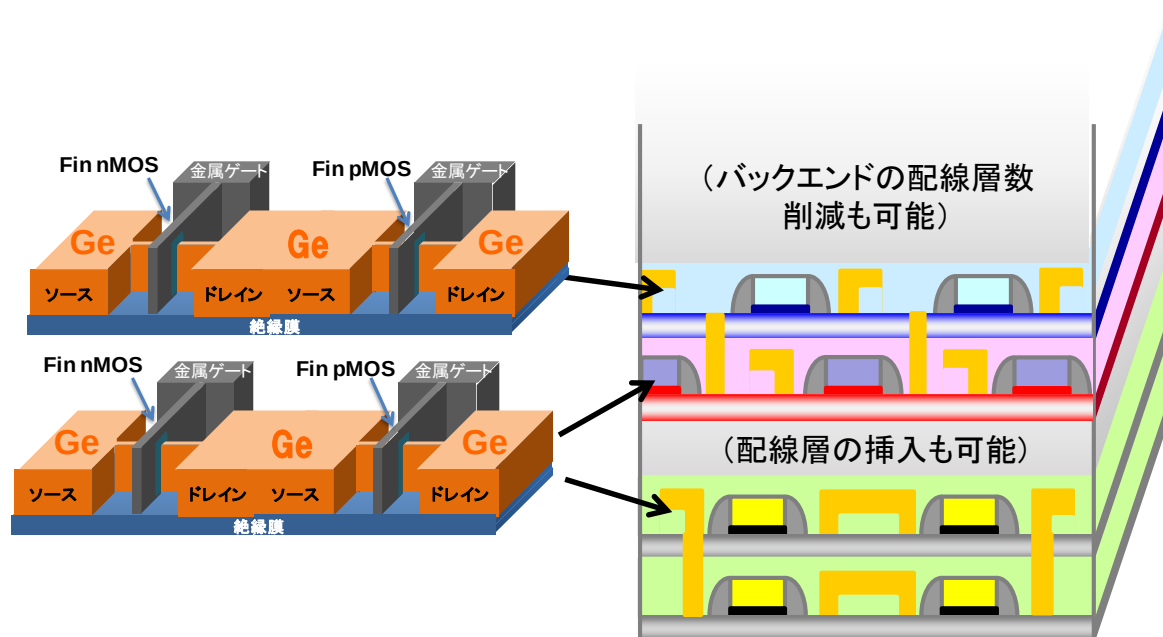
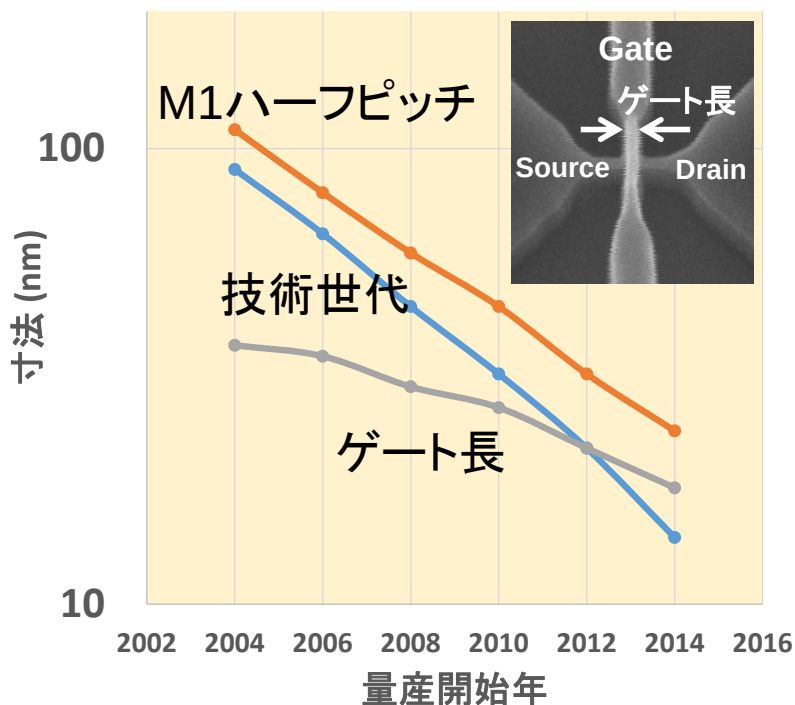
- ✓ 低欠陥基板作製
- ✓ MOS界面の性能向上
移動度向上
- ✓ Ge-金属コンタクト抵抗低減化

- Geによる高速化・低消費電力化
- 0.4V動作フィン型 Ge-CMOS実現へ

省電力ロジック (IMPULSE)

三次元ビルドアップ集積

参照: ITRS他



微細化に頼らない高集積化
配線長低減による低消費電力化
通信バンド幅向上

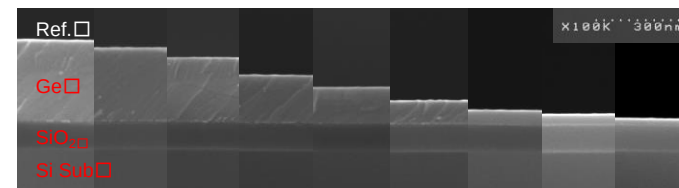
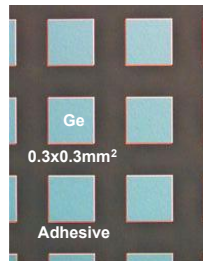
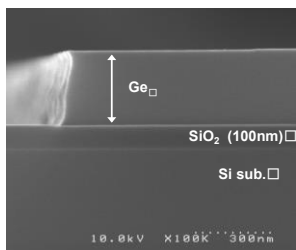
微細化による性能向上鈍化



Geトランジスタ開発の取り組み

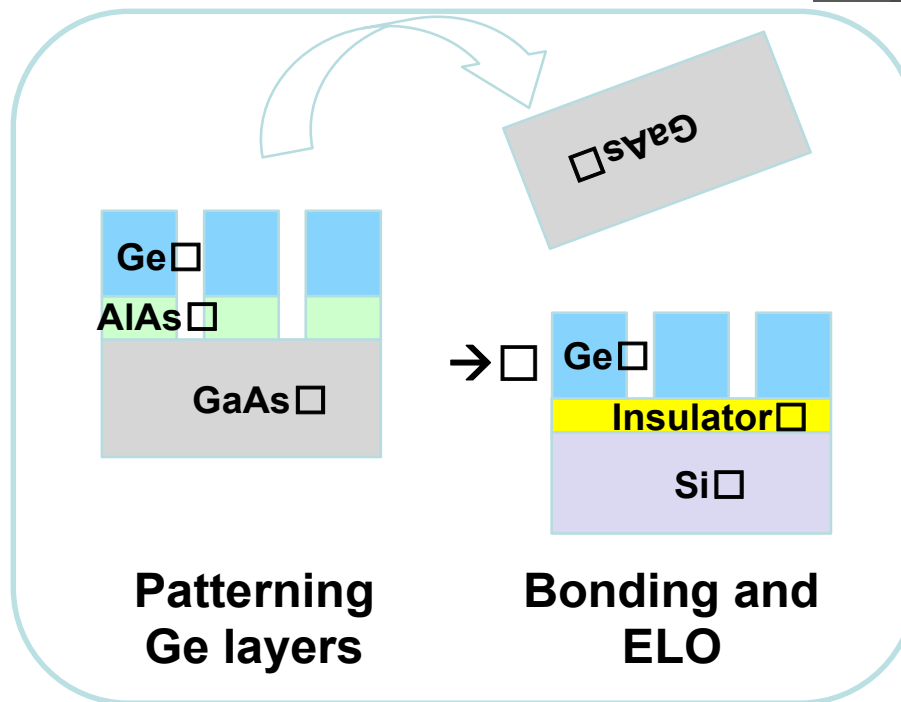
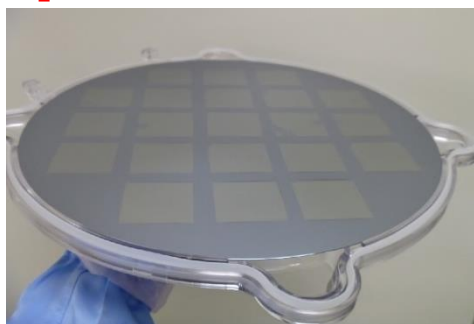
	H25年度		H26年度		H27年度	
	上期	下期	上期	下期	上期	下期
Ge トランジ スタ開発		CMOS要素技術の開発 GeOI基板作製 Vth制御 移動度向上 P+N+コンタクト				
		Ge FinFET技術の開発 基本プロセス構築 プレナー型動作 Fin型動作				

GeOI基板形成技術 (Epitaxial Lift Off)



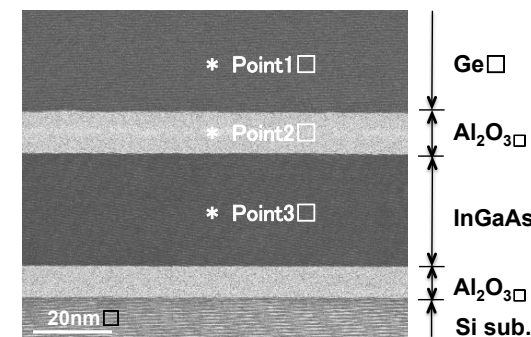
Any pattern

Any size & position



Any thickness

Any structure & interface

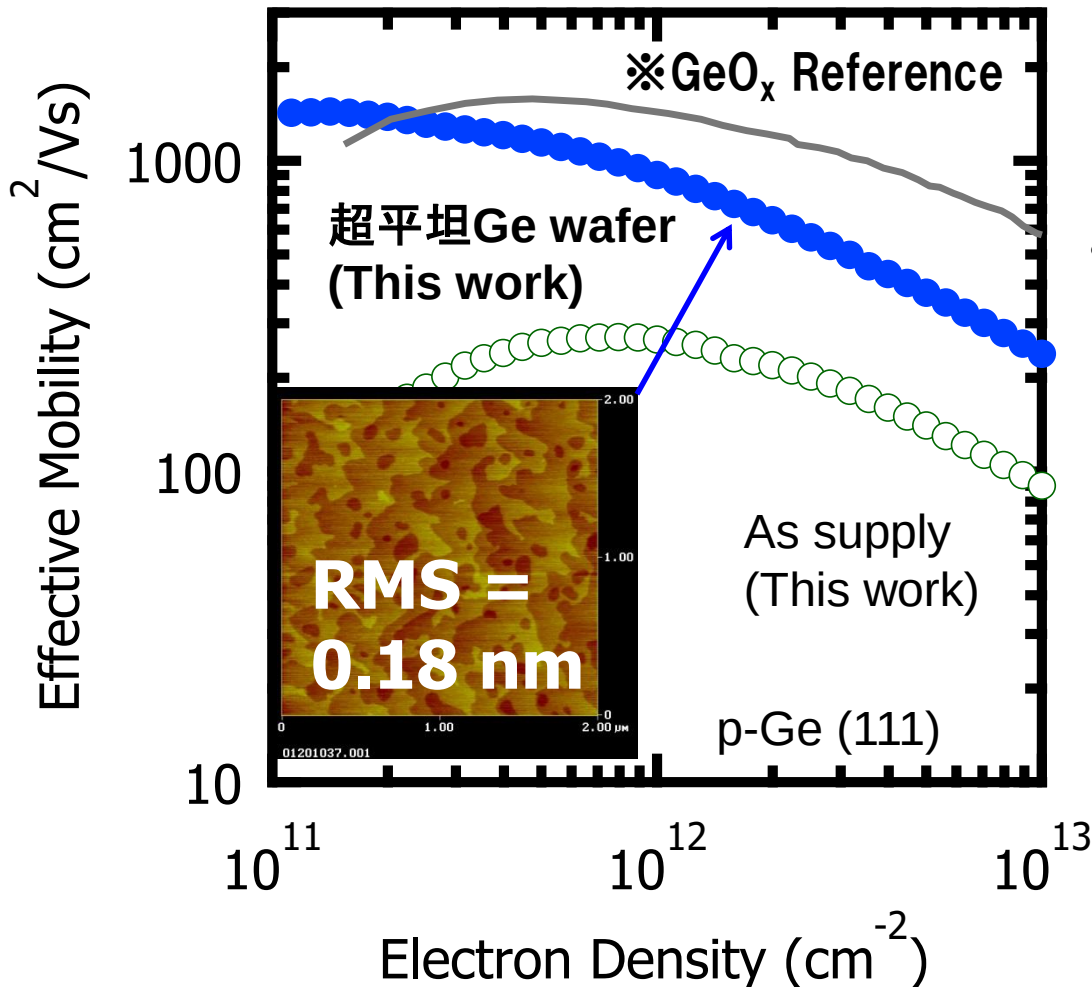


Any substrate

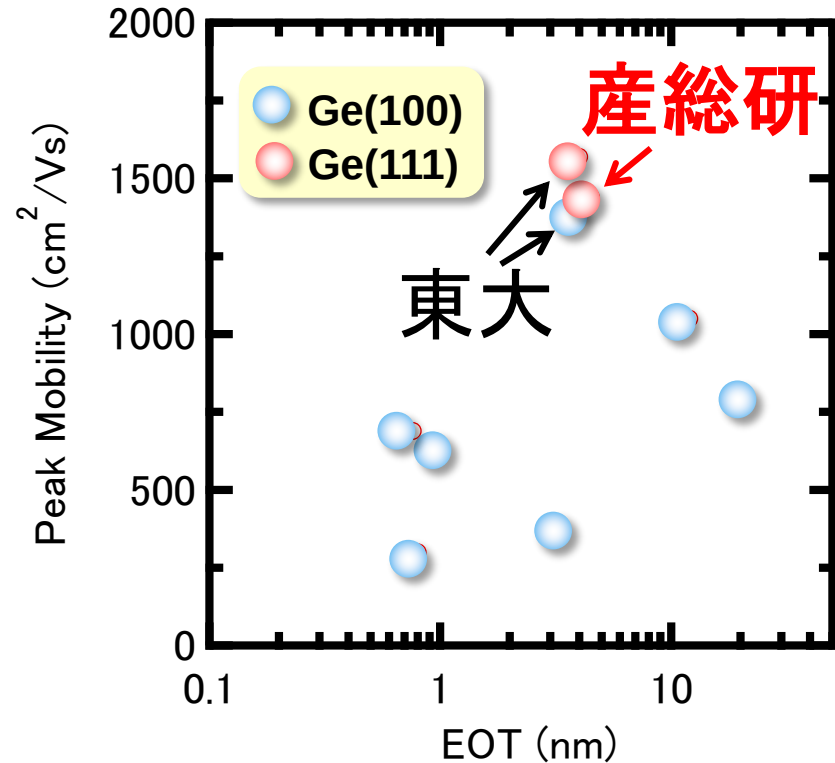
住友化学
日立国際電気
との共同研究

MOS界面性能向上技術

①世界最高レベル電子移動度の達成



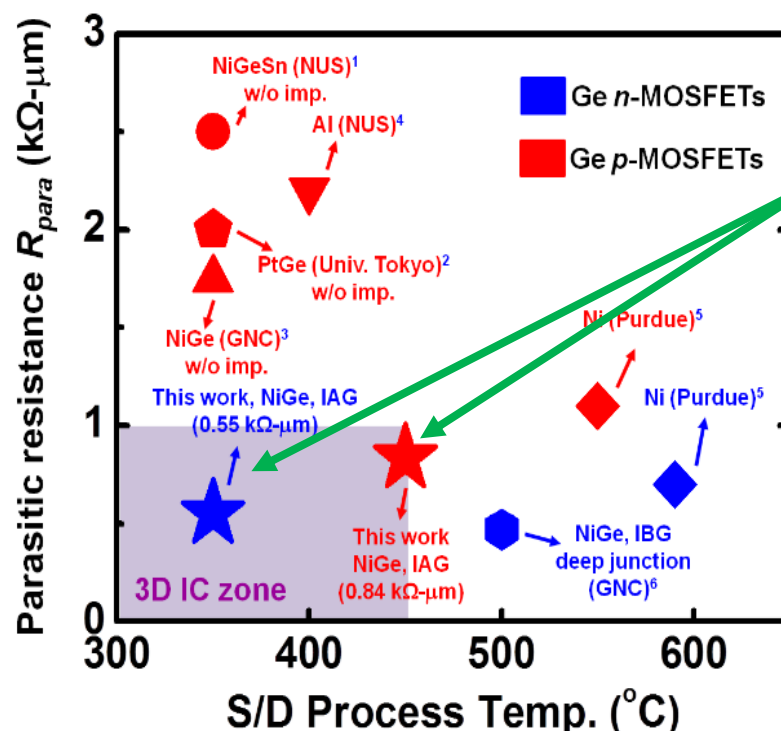
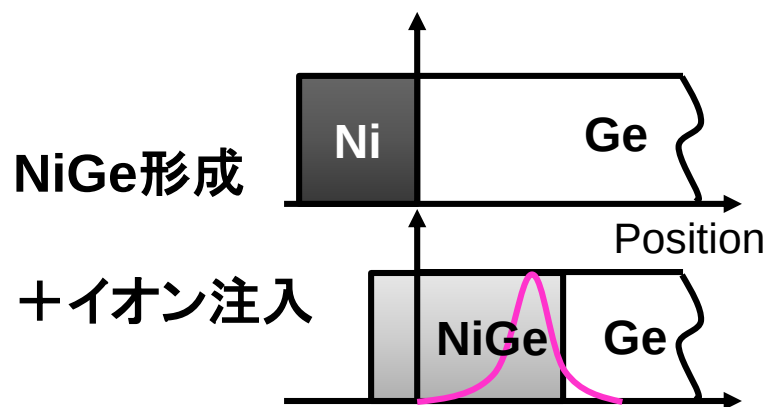
※Ref. C.H. Lee et al., VLSI-2014



Y.Morita et al., SNW2015

低抵抗コンタクト技術

- Geのコンタクト低抵抗化を合金化とイオン注入を併用し、ドーパント分布を制御することにより実現。
- P型、N型の両方について、低温プロセスで低抵抗化が可能に。



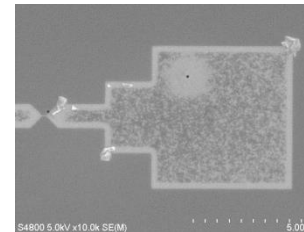
産総研

W. H. Chang et al., SSDM2015

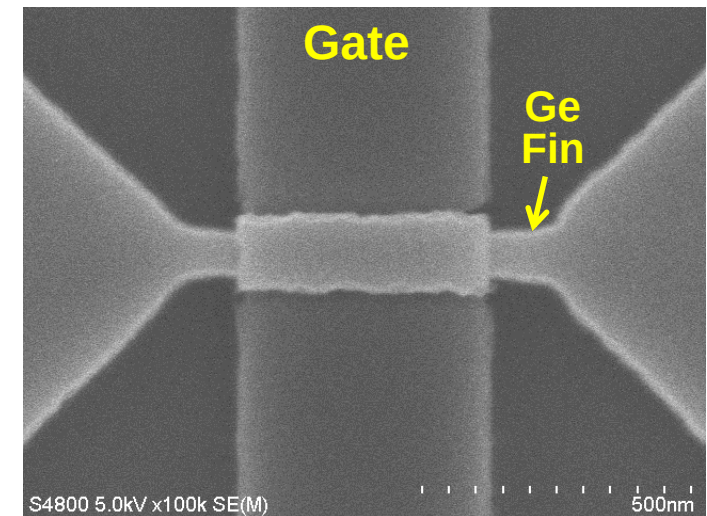
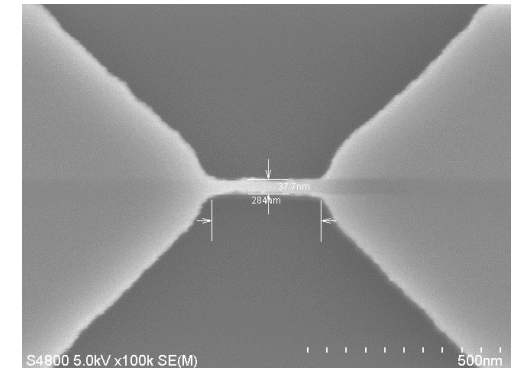
Ge Fin型トランジスタの作製

- TEOS-SiO₂成膜(350°C)
- グローバルマーク形成
- TEOS-SiO₂成膜(350°C)
- Fin EBリソ
- Fin加工
- High-k絶縁膜成膜
- 50nm TiN形成
- TEOS-SiO₂成膜(350°C)
- ゲート EBリソ
- ゲート加工
- High-k Stack膜除去
- BF₂インプラ(20keV, BF₂⁺, 2.0x10¹⁵cm⁻²)
- 層間絶縁膜形成
- 活性化アニール(400°C, N₂, 1min)
- 配線工程

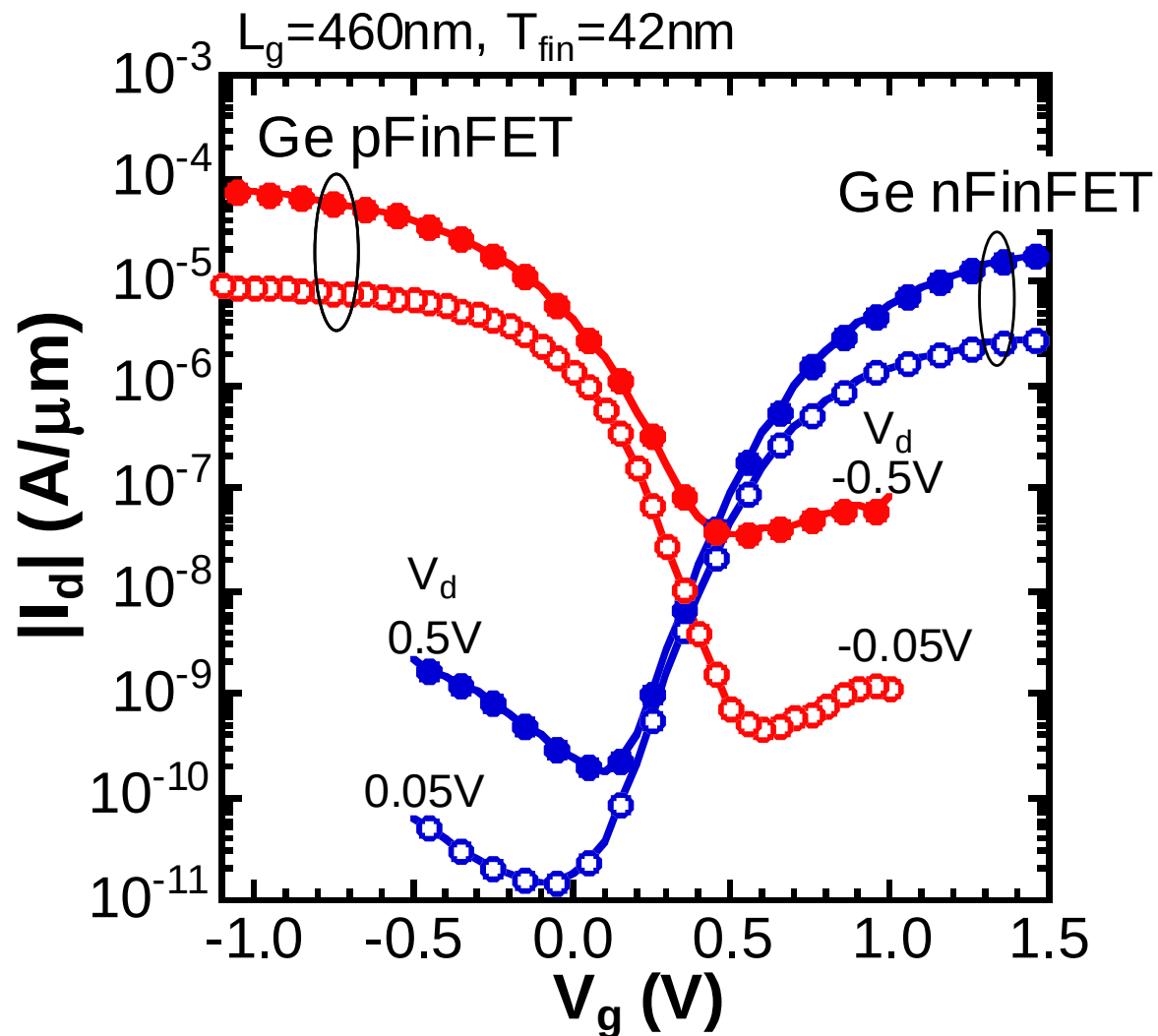
レジスト残渣



Fin加工



Ge Fin型トランジスタの特性

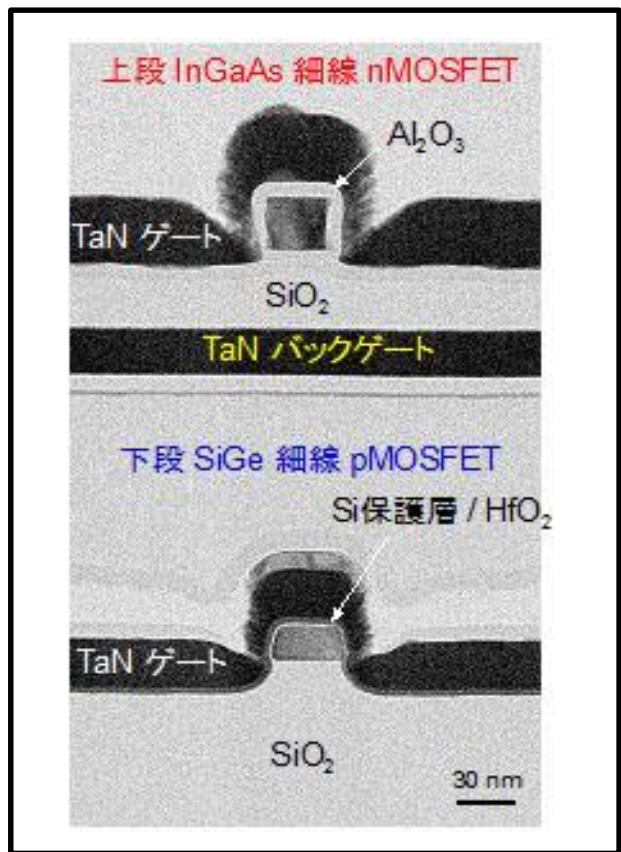


Geトランジスタ技術のまとめ

- ✓ エピタキシャルリフトオフ(ELO)法による高性GeOI基板を開発
- ✓ 合金化とイオン注入を組み合わせた新プロセスで、p型n型ともに低抵抗コンタクト形成に成功
- ✓ Ge表面超平滑化により、世界最高レベルの移動度達成
- ✓ Ge FinFET作製プロセスを構築し、デバイス動作に成功

低温形成Ge CMOSを用いた 三次元ビルドアップ集積

上段InGaAs, 下段SiGe積層例
(FiIRSTプログラム, GNC)

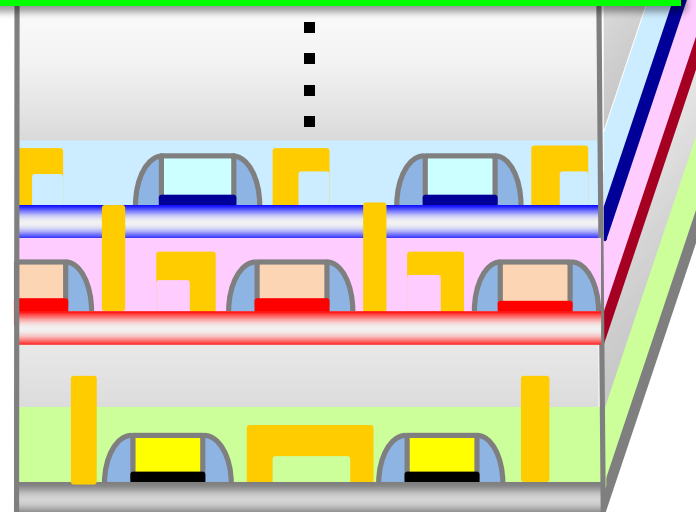


Z方向の利用により
革新的回路が可能に

配線長を大幅に短縮し
低消費電力化

低温形成
Ge CMOS

Si CMOS



海外の状況

EU Horizon2020によるファンディング
 ・CEA-LETIが活躍(Cool Cube)

USA Monolithic 3D(ベンチャー企業)が啓蒙活動

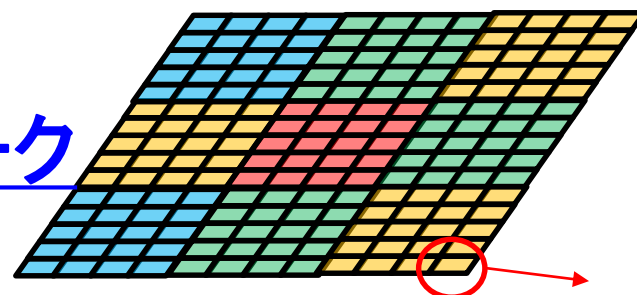
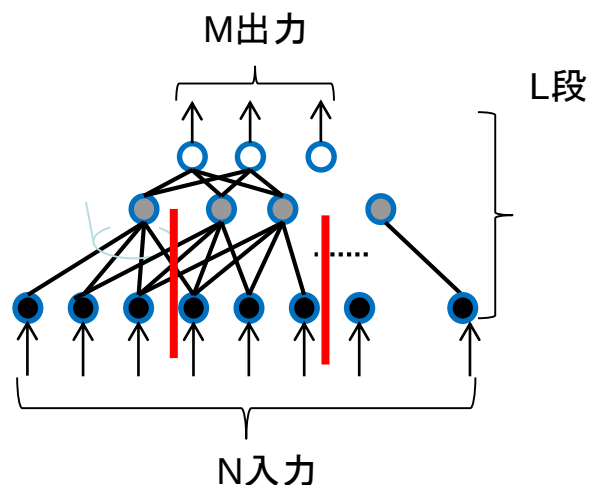
アジア National Nanodevice Laboratory(台湾)が活躍

※ メモリで3次元化が先行 (3D NAND, HBM)

三次元ビルドアップ集積のアプリケーション

画像認識

深層学習ニューラルネットワーク

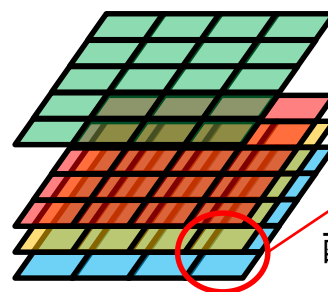


2D-LSI (9タイル)



配線本数～
1,000x4

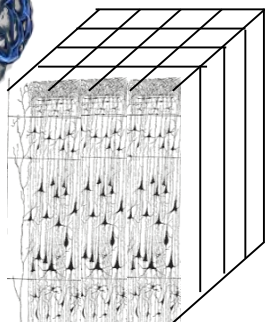
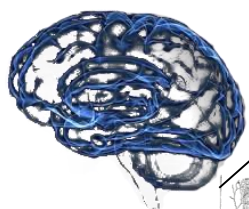
配線数 20x



配線本数～1,000x4

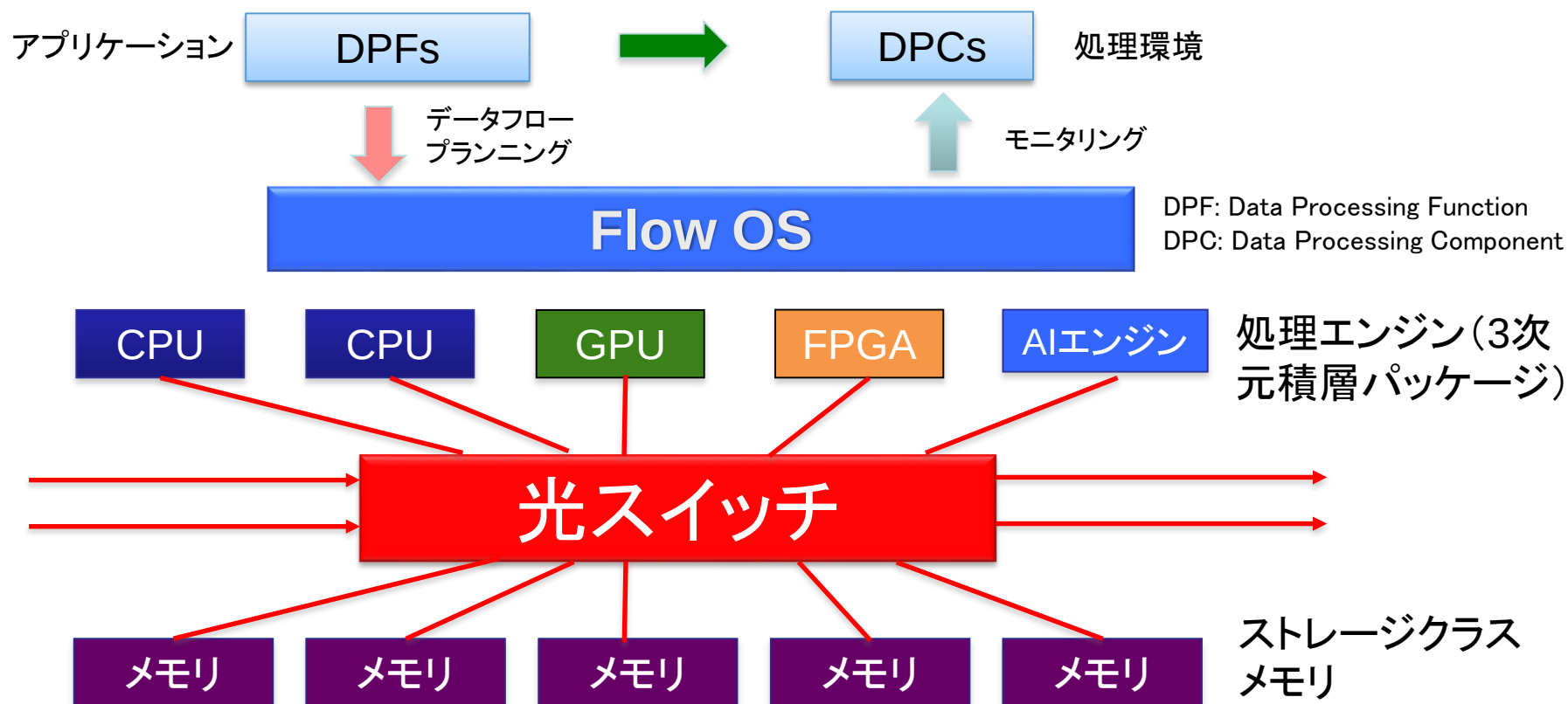
9層積層 スーパースケーリングLSI

層間配線
> 80,000本



3Dネットワークを持つ素子実現へ

フローセントリックコンピューティング用 三次元素子へ



「Ge トランジスタ」 ロードマップ

