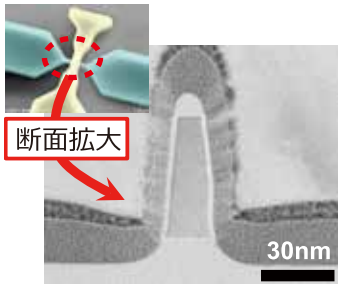


CMOS 試作ライン

ナノエレクトロニクス研究部門の CMOS 試作ライン (300m²) は、小口径ウェハを用いて、新材料や新構造を導入した微細デバイスの開発に柔軟に対応する施設です。

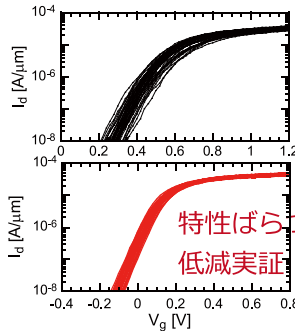
先端微細デバイス試作例

■ 新規ゲート電極を用いた Si FinFET

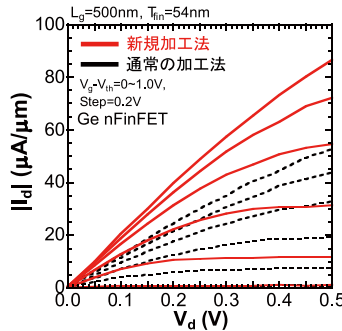


一般的なゲート電極材料

新規ゲート電極材料



■ 新材料の低ダメージ加工

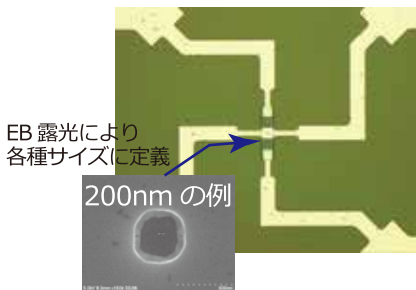


FinFET トランジスタ工程

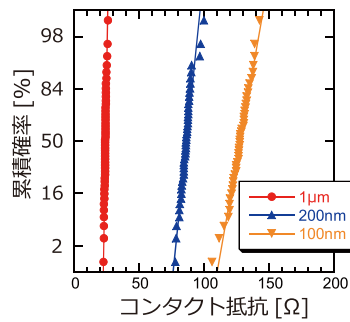
- SOI ウェハ Fin(素子分離)加工
- ゲートスタック工程
- ゲート加工工程
- エクステンションイオン注入
- S/D 高濃度イオン注入
- 活性化熱処理
- 層間絶縁膜
- コンタクト形成
- 配線工程

デバイスパラメータ評価例

■ Kelvin コンタクト抵抗評価 TEG



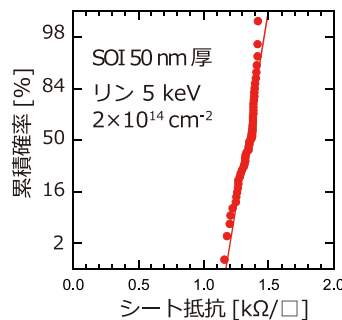
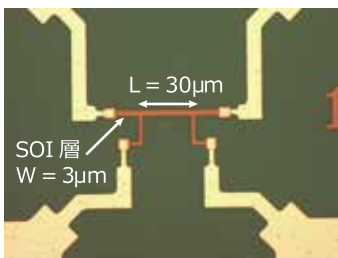
様々なピッチの評価例



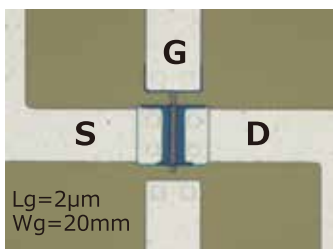
デバイスパラメータ評価項目

- コンタクト抵抗
- シート抵抗
- 界面準位密度
- キャリア移動度
- 実効仕事関数

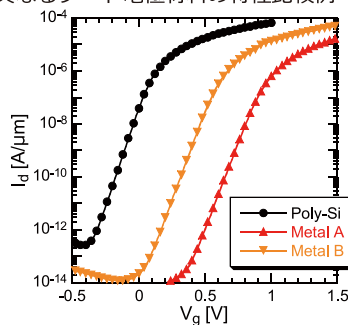
■ イオン注入・活性化 RTA によるシート抵抗のウェハ面内分布



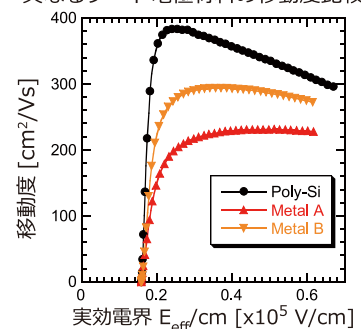
■ 標準 MOSFET プロセス



異なるゲート電極材料の特性比較例

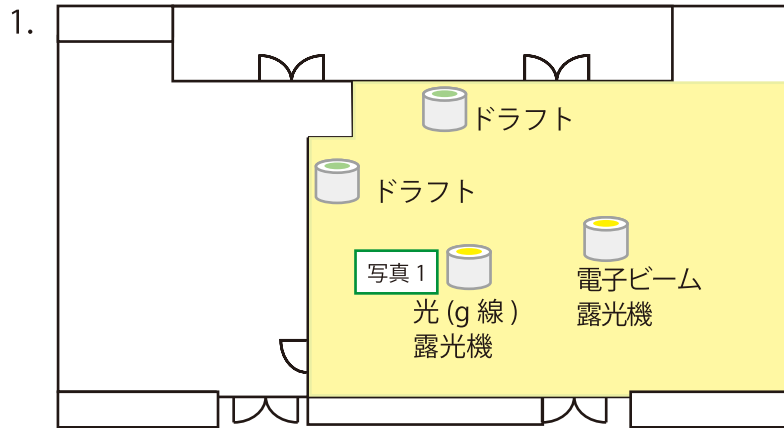


異なるゲート電極材料の移動度比較例



CMOS 試作ライン

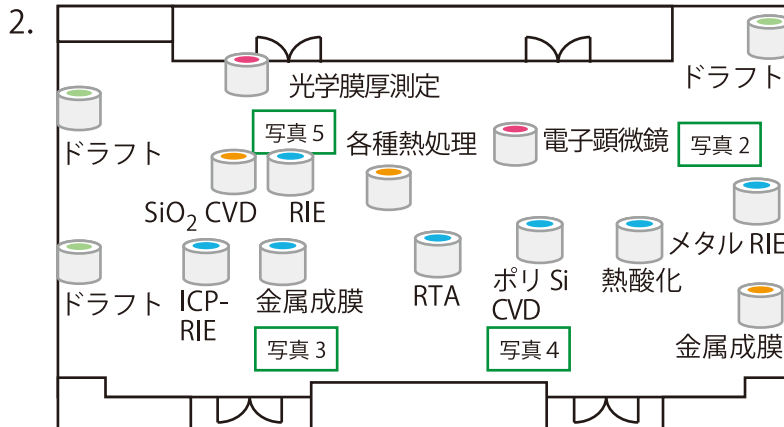
設備



リソグラフィー専用
イエロールーム
class 100



写真1 g線露光機



CMOS プロセス専用
class 1000



写真2 電子顕微鏡 (SEM)



写真3 金属成膜装置



写真4 ポリ Si CVD



写真5 RIE

装置群

前工程	酸化炉 (厚膜)	≤500nm まで	後工程	SiO ₂ プラズマ CVD(層間膜)
	酸化炉 (ゲート)	2-100nm まで		金属成膜 (後工程) Al, AlSi, Ti, TiN 他
	RIE(前工程一般)	対象材料 Si, SiO ₂		RIE(層間膜、メタル) 対象材料 SiO ₂ , Al, Ti, TiN, Ge 他
	ICP-RIE(Fin, ゲート)	対象材料 Si		汎用熱処理炉 N ₂ , O ₂ , N ₂ /H ₂ 雰囲気
	ポリ Si CVD(ゲート)	アンドープ リンドープ	リソ グラフィー	電子ビーム露光機 日本電子 JBX6000 位置分解能 10nm 対象ウェハサイズ 2 インチ、20mm 角
	金属成膜 (前工程) Ti, Ta, Mo, Al, Ni 等 及びこれらの窒化物			光露光機 (g 線) 対象ウェハサイズ 2,3,4 インチ、15,20mm 角カットウェハ
	急速熱処理 (RTA)	800 ~ 1000℃, >1sec	評価	光学膜厚測定 エリプソメーター、Nano-spec(光干渉膜厚計)
洗浄	ドラフト (有機、無機)	電子顕微鏡 (FE-SEM) 日立 S4800		

